

ISSN 1816-0301 (Print)
ISSN 2617-6963 (Online)

АВТОМАТИЗАЦИЯ ЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ
COMPUTER-AIDED LOGICAL DESIGN

УДК 004.33.054
<https://doi.org/10.37661/1816-0301-2020-17-1-47-62>

Поступила в редакцию 02.10.2019
Received 02.10.2019

Принята к публикации 14.11.2019
Accepted 14.11.2019

**Формирование адресных последовательностей с заданной
переключательной активностью**

В. Н. Ярмолик^{1✉}, Н. А. Шевченко²

¹Белорусский государственный университет
информатики и радиоэлектроники, Минск, Беларусь
✉E-mail: yarmolik10ru@yahoo.com

²Гимназия имени Лихтенберга, Дармштадт, Германия

Аннотация. Показывается актуальность тестирования современных вычислительных систем, и в первую очередь их запоминающих устройств. Исследования основаны на применении универсального метода генерирования адресных последовательностей с заданными свойствами для многократных маршевых тестов оперативных запоминающих устройств. В качестве математической модели используется модификация экономического способа Антонова и Салеева для формирования последовательностей Соболя. Для указанной модели приводится структурная схема ее аппаратной реализации, основу которой составляет запоминающее устройство для хранения направляющих чисел. Множество этих чисел образует порождающую матрицу. Отмечается, что вид порождающей матрицы определяет основные свойства генерируемых последовательностей. Получены математические выражения, позволяющие оценить предельные значения переключательной активности самой последовательности и определенных ее разрядов. Предлагаются методики синтеза генераторов адресной последовательности с заданной переключательной активностью как отдельных ее разрядов, так и последовательности в целом. Рассматриваются примеры использования предлагаемых методик. Обосновывается применимость изложенных результатов для синтеза генераторов тестовых последовательностей с заданной переключательной активностью при тестировании запоминающих устройств и формировании управляемых вероятностных тестовых последовательностей. Приводятся результаты практической реализации генераторов адресных последовательностей и оцениваются их основные характеристики.

Ключевые слова: тестирование вычислительных систем, многократное тестирование, адресные последовательности, модифицированные последовательности Соболя, переключательная активность

Для цитирования. Ярмолик, В. Н. Формирование адресных последовательностей с заданной переключательной активностью / В. Н. Ярмолик, Н. А. Шевченко // Информатика. – 2020. – Т. 17, № 1. – С. 47–62. <https://doi.org/10.37661/1816-0301-2020-17-1-47-62>

Generation of address sequences with a given switching activity

Vyacheslav N. Yarmolik^{1✉}, Nikolai A. Shevchenko²

¹Belarusian State University of Informatics and Radioelectronics, Minsk, Belarus
✉Email: yarmolik10ru@yahoo.com

²Lichtenberg Gymnasium, Darmstadt, Germany

Abstract. The relevance of testing modern computing systems and, first of all, their storage devices is shown. The studies are based on the use of a universal method for generating the address sequences with desired properties for multiple March tests of random access memory devices. The modification of economical method

of Antonov and Saleev is used as mathematical model to form Sobol sequences. For this model a structural diagram of its hardware implementation is presented, where the storage device for storing direction numbers is used as the basis. The set of multitudes makes up the generating matrix. It is noted that the form of the generating matrix determines the basic properties of the generated sequences. Mathematical expressions are obtained that make it possible to estimate the limiting values of switching activity, both of the sequence itself and of its individual bits. A technique is proposed for the synthesis of generators of address sequences with a given switching activity both of its individual bits and of the sequence as a whole. Examples of the application of the proposed methods are considered. The applicability of the presented results to the synthesis of test sequence generators with a given switching activity for the purpose of testing storage devices and the formation of controlled random test sequences is substantiated. The results of the practical implementation of address sequence generators are presented and their main characteristics are evaluated.

Keywords: testing of computing systems, multiple testing, address sequences, modified Sobol sequences, switching activity

For citation. Yarmolik V. N., Shevchenko N. A. Generation of address sequences with a given switching activity. *Informatics*, 2020, vol. 17, no. 1, pp. 47–62 (in Russian). <https://doi.org/10.37661/1816-0301-2020-17-1-47-62>

Введение. Одной из актуальных проблем современных вычислительных систем, таких как встроенные системы (embedded systems), системы на кристалле (systems-on-a-chip) и сети на кристалле (nets-on-a-chip), является тестирование их запоминающих устройств, удельный вес которых достигает 90 % занимаемой системой площади кристалла [1, 2]. При многократном тестировании запоминающих устройств несомненный интерес вызывают детерминированные последовательности, имеющие различные свойства и применяемые для формирования как тестовых, так и адресных последовательностей запоминающих устройств [3–5]. При этом наиболее часто используемой характеристикой данных последовательностей является так называемая переключательная активность (switching activity), которая влияет на переключательную активность тестируемых цифровых устройств [6–8].

Определяющее значение переключательная активность имеет в области проектирования цифровых устройств с низким потреблением энергии [9, 10], в том числе при разработке и применении средств их тестирования и самотестирования [11, 12]. Большое количество исследований в данной области направлено на получение оценок значений переключательной активности полюсов проектируемых устройств, которые позволяют прогнозировать их энергопотребление [9, 13]. Обратная задача, а именно задача синтеза цифровых устройств с заданной интегральной переключательной активностью (как правило, минимальной), чрезвычайно сложна и решается путем выбора наилучшего результата из небольшого числа возможных вариантов построения устройства [9, 13].

В области тестового диагностирования современных вычислительных систем переключательная активность также имеет огромное значение, поскольку от нее зависит эффективность тестовых процедур, которая определяется как временем тестирования, так и полнотой покрытия неисправностей. При этом, как правило, для уменьшения длины теста и увеличения полноты его покрытия существенным является не только увеличение переключательной активности объекта тестирования в целом, но и возможность управления этой характеристикой в заданных диапазонах. Решение подобных задач в основном ориентируется на построение генераторов тестов с низким потреблением энергии [11], перестановку тестовых наборов [12], применение различных оценок этой характеристики [7, 8] и схемотехнических подходов при реализации методов контролепригодного синтеза [14, 15].

Между тем исследование вопросов синтеза различного рода устройств с заданными значениями переключательной активности для тестирования вычислительных систем находится лишь в начальной стадии. В частности, методы синтеза генераторов адресных последовательностей, рассмотренные в ряде источников [3, 4, 16], позволяют строить подобные устройства, описываемые фиксированными значениями переключательной активности. Вопрос решения задачи синтеза устройств для генерирования тестовых последовательностей с заданной переключательной активностью при тестировании запоминающих устройств и формировании управляемых вероятностных тестовых последовательностей остается практически открытым.

Генератор адресных последовательностей. Под адресной последовательностью понимают упорядоченную последовательность m -разрядных двоичных векторов $A(n) = a_{m-1}a_{m-2}a_{m-3} \dots a_2a_1a_0$, $a_i \in \{0,1\}$, $i \in \{0, 1, 2, \dots, m-1\}$ и $n \in \{0, 1, 2, \dots, 2^m-1\}$, однократно принимающих все возможные значения $\{0, 1, 2, \dots, 2^m-1\}$ [3, 4, 17]. Подобные последовательности имеют период, равный 2^m , и их часто называют пересчетными (counting sequences) последовательностями, последовательностями де Брюйна (de Bruijn sequences) либо (по аналогии с M -последовательностями) последовательностями максимальной длины [17]. Существует большое множество различных разновидностей последовательностей максимальной длины, среди которых выделяют такие их подмножества, как детерминированные, псевдослучайные и квазислучайные последовательности [3, 4, 17]. Хорошо апробированы и применяются на практике пересчетные (счетчиковые) последовательности, последовательности Грея и анти-Грея, последовательности с максимальной переключающей активностью, с заданным расстоянием Хэмминга, ЛП $_{\tau}$ -последовательности, M -последовательности и ряд других [3, 4, 17]. Каждая из них описывается своим уникальным алгоритмом, предполагающим специфическую реализацию. Поэтому попытка реализации какого-то подмножества адресных последовательностей требует большой аппаратурной избыточности.

С целью существенного уменьшения аппаратурных затрат для генерирования большого множества адресных последовательностей в работе [4] рассмотрена математическая модель универсального генератора адресных последовательностей. В качестве основы данной модели используется метод формирования последовательностей Соболя [18].

В работе [18] показано, что значение координат n -го элемента последовательности Соболя вычисляется как поразрядная сумма по модулю два до $m = \lfloor \log_2 n \rfloor$ операндов в зависимости от количества ненулевых компонент двоичного представления $b_{m-1}(n)b_{m-2}(n) \dots b_1(n)b_0(n)$ числа n . Количество операндов может быть снижено до одного при использовании экономичного способа Антонова и Салеева, основанного на представлении числа n в коде Грея [4, 19, 20]. Тогда формирование n -го элемента $A(n)$ последовательности Соболя осуществляется в соответствии с соотношением

$$A(n) = A(n-1) \oplus v_i, \quad n = \overline{0, 2^m - 1}, \quad i = \overline{0, m-1}, \quad (1)$$

в котором к предыдущему элементу $A(n-1)$ последовательности Соболя добавляется только одно модифицированное направляющее число v_i , $i \in \{0, 1, 2, \dots, m-1\}$ [19, 20]. Значение индекса i направляющего числа v_i , используемого в качестве слагаемого в выражении (1), зависит от так называемой последовательности переключений T_{m-1} отраженного кода Грея. Например, для $m = 4$ эта последовательность имеет вид $T_3 = 0, 1, 0, 2, 0, 1, 0, 3, 0, 1, 0, 2, 0, 1, 0$. Формально последовательность переключений T_{m-1} определяет индекс i изменяемого разряда при переходе от n_{g-1} к n_g , где индекс g числа n_g означает представление в коде Грея исходного числа $n = b_{m-1}(n) b_{m-2}(n) \dots b_1(n) b_0(n)$. Число n в коде Грея может быть получено согласно известному соотношению $n_g = g_{m-1}(n) g_{m-2}(n) \dots g_1(n) g_0(n) = b_{m-1}(n) b_{m-2}(n) \dots b_1(n) b_0(n) \oplus 0 b_{m-1}(n) b_{m-2}(n) \dots b_2(n) b_1(n)$ [21]. Сумма по модулю два последовательных значений n_g и n_{g-1} кода Грея определяет индекс i направляющего числа v_i , используемого в выражении (1). Последовательность значений индекса чисел v_i представляет собой T_{m-1} . Процедура получения последовательности переключений T_{m-1} для $m = 4$ в виде аппаратной структуры изображена на рис. 1.

Наиболее сложным блоком данного устройства является синхронный двоичный счетчик (Binary Counter), который при подаче синхронизирующего сигнала (Clk) выполняет операцию увеличения своего состояния на единицу (+1). Таким образом формируется пересчетная последовательность $n = b_3(n) b_2(n) b_1(n) b_0(n)$ (табл. 1).

Значения разрядов кода Грея для $m = 4$ определяются в соответствии с соотношениями $g_3(n) = b_3(n)$, $g_2(n) = b_2(n) \oplus b_3(n)$, $g_1(n) = b_1(n) \oplus b_2(n)$ и $g_0(n) = b_0(n) \oplus b_1(n)$, полученными согласно выражению $n_g = g_3(n) g_2(n) g_1(n) g_0(n) = b_3(n) b_2(n) b_1(n) b_0(n) \oplus 0 b_3(n) b_2(n) b_1(n)$. Последовательность переключений T_3 определяет индекс $i \in \{0, 1, 2, 3\}$ изменяемого разряда при переходе от кода $n_{g-1} = g_3(n-1) g_2(n-1) g_1(n-1) g_0(n-1)$, который хранится на D -триггерах (см. рис. 1), к коду $n_g = g_3(n) g_2(n) g_1(n) g_0(n)$. Соответственно, на выходах $i = 0$, $i = 1$, $i = 2$ и $i = 3$ устройства

формируются управляющие сигналы, определяющие последовательность выборки так называемых направляющих чисел (direction numbers) $v_i = \beta_{m-1}(i)\beta_{m-2}(i)\dots\beta_0(i)$, $i \in \{0, 1, 2, \dots, m-1\}$ [4]. При этом из табл. 1 видно, что в каждый такт работы устройства только на одном из его выходов формируется сигнал, который определяет индекс i направляющего числа v_i , используемого в очередной итерации для получения $A(n)$ (см. (1)).

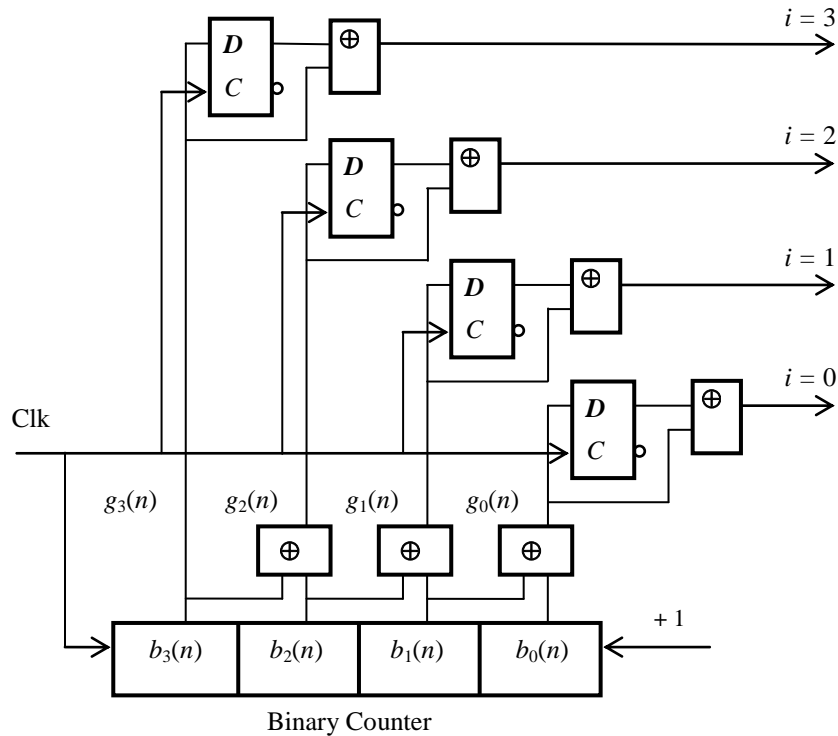


Рис. 1. Устройство для генерирования последовательности переключений T_{m-1} при $m = 4$

Таблица 1

Процедура генерирования последовательности переключений T_3

n	$n = b_3(n)b_2(n)b_1(n)b_0(n)$	$n_g = g_3(n)g_2(n)g_1(n)g_0(n)$	$n_g \oplus n_{g-1}$	T_3
0	0 0 0 0	0 0 0 0	0 0 0 0	
1	0 0 0 1	0 0 0 1	0 0 0 1	0
2	0 0 1 0	0 0 1 1	0 0 1 0	1
3	0 0 1 1	0 0 1 0	0 0 0 1	0
4	0 1 0 0	0 1 1 0	0 1 0 0	2
5	0 1 0 1	0 1 1 1	0 0 0 1	0
6	0 1 1 0	0 1 0 1	0 0 1 0	1
7	0 1 1 1	0 1 0 0	0 0 0 1	0
8	1 0 0 0	1 1 0 0	1 0 0 0	3
9	1 0 0 1	1 1 0 1	0 0 0 1	0
10	1 0 1 0	1 1 1 1	0 0 1 0	1
11	1 0 1 1	1 1 1 0	0 0 0 1	0
12	1 1 0 0	1 0 1 0	0 1 0 0	2
13	1 1 0 1	1 0 1 1	0 0 0 1	0
14	1 1 1 0	1 0 0 1	0 0 1 0	1
15	1 1 1 1	1 0 0 0	0 0 0 1	0

В работе [18] показано, что для всех возможных направляющих чисел некоторые их разряды принимают фиксированные значения. Так, всегда $\beta_{m-1-i}(i) = 1$, $i = \overline{0, m-1}$, и $\beta_{m-1-j}(i) = 0$ для $j > i$, а $\beta_{m-1-i}(i)$ для $j < i$ принимают произвольные значения в зависимости от выбранного направляющего числа [18, 20]. Это значит, что для всех возможных последовательностей Соболя $v_0 = 100\dots 00$, $v_1 = \beta_{m-1}(1)10\dots 00$, где $\beta_{m-1}(1)$ принимает значение 0 либо 1, $v_2 = \beta_{m-1}(2)\beta_{m-2}(2)10\dots 00$ и т. д. [20]. В общем случае числа v_i можно представить в виде нижней треугольной матрицы с единичной диагональю [4]:

$$V = \begin{pmatrix} 1 & 0 & 0 & \dots & 0 \\ \beta_{m-1}(1) & 1 & 0 & \dots & 0 \\ \beta_{m-1}(2) & \beta_{m-2}(2) & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ \beta_{m-1}(m-1) & \beta_{m-2}(m-1) & \beta_{m-3}(m-1) & \dots & 1 \end{pmatrix}. \quad (2)$$

Предложенная математическая модель может быть расширена для случая последовательностей, относящихся не только к множеству квазислучайных числовых последовательностей [4]. В общем случае в качестве порождающей матрицы направляющих чисел V может быть использована любая двоичная квадратная матрица размерности $m \times m$ вида

$$V = \begin{pmatrix} \beta_{m-1}(0) & \beta_{m-2}(0) & \beta_{m-3}(0) & \dots & \beta_0(0) \\ \beta_{m-1}(1) & \beta_{m-2}(1) & \beta_{m-3}(1) & \dots & \beta_0(1) \\ \beta_{m-1}(2) & \beta_{m-2}(2) & \beta_{m-3}(2) & \dots & \beta_0(2) \\ \dots & \dots & \dots & \dots & \dots \\ \beta_{m-1}(m-1) & \beta_{m-2}(m-1) & \beta_{m-3}(m-1) & \dots & \beta_0(m-1) \end{pmatrix}, \quad (3)$$

построенная из m линейно независимых двоичных векторов $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = \overline{0, m-1}$.

Отметим, что нижняя треугольная матрица с единичной диагональю (2) по определению имеет максимальный ранг и является базисом линейного векторного пространства. Это объясняется тем, что такая матрица состоит из m линейно независимых двоичных векторов. Поэтому любая подобная матрица позволяет генерировать всевозможные двоичные векторы размерности m .

Таким образом, основу генератора адресных последовательностей составляет устройство для хранения направляющих чисел $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = \overline{0, m-1}$, порождающей матрицы V (3), а структура генератора состоит из трех последовательно подключенных функциональных блоков (рис. 2).

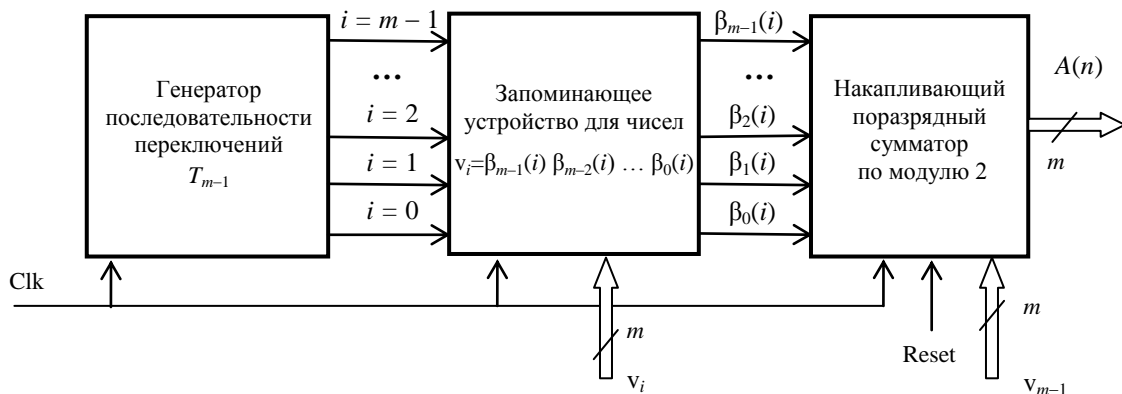


Рис. 2. Генератор адресных последовательностей

Первым блоком устройства генерирования адресов является генератор последовательности переключений T_{m-1} , которая определяет последовательность выборки направляющих чисел матрицы $V(3)$. Как отмечалось ранее, в каждый такт функционирования только на одном выходе генератора последовательности переключений формируется разрешающий сигнал, определяющий выбранное направляющее число его индексом i . Например, это реализуется для конкретного случая, когда $m = 4$ (см. рис. 1 и табл. 1). Вторым и главным блоком генератора адресов является запоминающее устройство, состоящее из m ячеек, каждая из которых имеет m разрядов, что позволяет хранить в таком запоминающем устройстве m двоичных векторов v_i , состоящих их m бит. Содержимое запоминающего устройства, представляющее собой направляющие числа $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = \overline{0, m-1}$, порождающей матрицы $V(3)$, по сути, и определяет вид адресной последовательности $A(n)$.

Третий блок генератора адресных последовательностей реализует соотношение (1) и представляет собой накапливающий поразрядный сумматор по модулю два накопленной суммы с очередным направляющим числом, поступившим из запоминающего устройства. В сумматоре предусмотрена возможность задания нулевого начального адреса $A(0) = 0\ 0\ 0 \dots 0$ путем реализации обнуления всех разрядов сумматора сигналом Reset. Кроме того, начальным адресам может быть задан вектор $v_{m-1} = \beta_{m-1}(m-1) \beta_{m-2}(m-1) \beta_{m-3}(m-1) \dots \beta_0(m-1)$. Использование данного вектора в качестве начального значения $A(0) = \beta_{m-1}(m-1) \beta_{m-2}(m-1) \beta_{m-3}(m-1) \dots \beta_0(m-1)$ позволяет формировать последовательность $A(n)$ в обратном порядке по отношению к последовательности, сгенерированной для $A(0) = 0\ 0\ 0 \dots 0$.

Несомненным достоинством показанного на рис. 2 генератора адресных последовательностей является простота его программной и аппаратной реализации. В то же время подобный генератор позволяет формировать достаточно широкий спектр адресных последовательностей, некоторые из которых представлены и проанализированы в статье [4].

Частотные свойства адресных последовательностей. Для формирования всевозможных двоичных m -разрядных векторов на базе матрицы $V(3)$ обязательным условием является ее максимальный ранг, который обеспечивается линейной независимостью двоичных векторов $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = \overline{0, m-1}$.

Количество M двоичных матриц размерности $m \times m$ с максимальным рангом, или количество базисов векторного пространства размерности m над конечным полем F_2 , определяется из соотношения [22, 23]

$$M = (2^m - 2^0)(2^m - 2^1)(2^m - 2^2) \dots (2^m - 2^{m-1}) = \prod_{j=0}^{m-1} (2^m - 2^j) = 2^{m(m-1)/2} \prod_{i=1}^m (2^i - 1). \quad (4)$$

В то же время общее количество M_i произвольных двоичных матриц размерности $m \times m$ вычисляется согласно соотношению

$$M_i = 2^{m^2}. \quad (5)$$

В табл. 2 приведены численные значения общего количества двоичных матриц M_i , а также числа M матриц максимального ранга для ряда значений m .

Таблица 2

Численные значения характеристик M_i , M и M/M_i

m	2	3	4	5	6	10	20	30
M_i	2^4	2^9	2^{16}	2^{25}	2^{36}	$\approx 3,7 \cdot 10^{29}$	$\approx 7,46 \cdot 10^{119}$	$\approx 2,44 \cdot 10^{270}$
M	6	168	$\approx 2 \cdot 10^4$	$\approx 1 \cdot 10^7$	$\approx 2 \cdot 10^{10}$	$\approx 12,7 \cdot 10^{29}$	$\approx 25,8 \cdot 10^{119}$	$\approx 8,45 \cdot 10^{270}$
M/M_i	0,375	0,328	0,308	0,298	0,293	0,2892	0,288 79	0,288 78

Величина M/M_t позволяет оценить вероятность того, что матрица, сгенерированная случайным образом, когда ее компонента $\beta_j(i) \in \{0, 1\}$, $i = \overline{0, m-1}$, $j = \overline{0, m-1}$, формируется равновероятно равной 0 либо 1, состоит из линейно независимых строк, т. е. имеет максимальный ранг. Для больших значений m эта вероятность может быть оценена величиной

$$\lim_{m \rightarrow \infty} M/M_t = \lim_{m \rightarrow \infty} 2^{-m(m+1)/2} \prod_{i=1}^m (2^i - 1) \approx 0,2887880951 \dots \quad (6)$$

Отметим, что полученная оценка значения данной вероятности позволяет констатировать возможность формирования случайным образом матрицы V (3) с последующей проверкой ее ранга, поскольку вероятность того, что ранг этой матрицы будет максимален, достаточно высока.

Из выражения (6) видно, что общее количество различных m -разрядных двоичных последовательностей, которые можно сформировать на основании соотношения (1), огромно. Оно включает в себя последовательности Соболя, Грея, последовательности с максимальной переключающей активностью и др.

Для оценки свойств последовательностей Соболя $A(n) = a_{m-1} a_{m-2} a_{m-3} \dots a_1 a_0$, используемых в качестве адресной последовательности в работе [20], была введена метрика $F(a_j)$, $j \in \{0, 1, 2, \dots, m-1\}$, определяющая количество переключений (изменений) j -го разряда a_j кода последовательности $A(n)$. В большинстве литературных источников метрика $F(a_j)$ имеет название переключающей активности (switching activity) [7, 8, 14, 16]. В общем случае для произвольного значения j величина данной метрики определяется по формуле [4]

$$F(a_j) = \sum_{i=0}^{m-1} \beta_j(i) 2^{m-1-i}. \quad (7)$$

Значения метрики $F(a_j)$ были исследованы для конкретных видов адресных последовательностей, таких как квазислучайные последовательности Соболя, пересчетные адресные последовательности, модифицированные квазислучайные и пересчетные последовательности, а также последовательности с максимальной переключающей активностью [4].

Основываясь на переключающей активности $F(a_j)$ разрядов последовательности $A(n)$, введем для нее интегральную меру переключающей активности $F(A)$, вычисляемой согласно выражению

$$F(A) = \sum_j^{m-1} \sum_{i=0}^{m-1} \beta_j(i) 2^{m-1-i} = \sum_i^{m-1} 2^{m-1-i} \sum_{j=0}^{m-1} \beta_j(i), \quad (8)$$

где вторая сумма является количеством единиц в i -й строке матрицы (3), представляющей собой вес Хэмминга $w(v_i)$ двоичного вектора $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = \overline{0, m-1}$.

Оценим предельные значения приведенных метрик переключающей активности адресных последовательностей, которые формируются на основании порождающих матриц вида (3), определенных в работе [4]. В качестве порождающей матрицы может быть использована любая квадратная матрица $m \times m$, состоящая из m линейно независимых двоичных векторов.

Как следует из линейной независимости двоичных векторов v_i , j -й столбец матрицы не может быть нулевым. Поэтому минимальное значение $F(a_j)$, $j \in \{0, 1, 2, \dots, m-1\}$, достигается тогда, когда только $\beta_j(m-1) = 1$, а остальные $\beta_j(i) = 0$, $i \in \{0, 1, 2, \dots, m-2\}$. В этом случае значение j -го разряда адресной последовательности изменится только один раз. Следовательно, $\min F(a_j) = 1$. Важно отметить, что достижение минимального значения $F(a_j)$ возможно для любого j -го разряда, но только одного из них. Это ограничение также следует из линейной независимости строк и, соответственно, столбцов порождающей матрицы V (3).

Максимальное значение $F(a_j)$, $j \in \{0, 1, 2, \dots, m-1\}$, так же, как и минимальное, достигается для любого, но только одного разряда адресной последовательности. Это обеспечивается формированием j -го единичного столбца матрицы (3), $\beta_j(i) = 1$, $i \in \{0, 1, 2, \dots, m-1\}$. Тогда справедливо равенство

$$\max F(a_j) = \sum_{i=0}^{m-1} 2^{m-1-i} = 2^{m-1} + 2^{m-2} + \dots + 2^1 + 2^0 = 2^m - 1. \quad (9)$$

Анализ характеристики $F(a_j)$ позволяет сформулировать следующее свойство адресных последовательностей, генерируемых на основании соотношения (1) с применением порождающей матрицы $V(3)$.

Свойство 1. Переключательная активность разрядов $F(a_j)$, $j \in \{0, 1, 2, \dots, m-1\}$, адресной последовательности $A(n) = a_{m-1} a_{m-2} a_{m-3} \dots a_1 a_0$ принимает значения в диапазоне от 1 до $2^m - 1$, причем каждый из m разрядов имеет свою уникальную переключательную активность.

Следствием данного свойства является отличие переключательных активностей и (или) перераспределение переключательных активностей для двух различных адресных последовательностей.

Переключательная активность $F(A)$ (см. (8)) адресной последовательности $A(n) = a_{m-1} a_{m-2} a_{m-3} \dots a_1 a_0$, $n \in \{0, 1, 2, \dots, 2^m - 1\}$, принимает минимальное значение для последовательностей кода Грея [4, 20, 21]. Для матрицы, состоящей из m отличающихся строк, каждая из которых содержит по одной единице, согласно (8) имеем $\min F(A) = 2^m - 1$. Максимальная оценка $F(A)$ также однозначно определяется видом порождающей матрицы [4], первая строка которой состоит из единиц, а остальные строки содержат по одному нулю. Тогда выполняется равенство

$$\max F(A) = m2^{m-1} + (m-1) \sum_{i=1}^{m-1} 2^{m-i-1} = m2^m - 2^{m-1} - m + 1. \quad (10)$$

На практике чаще всего используются средние значения $F_{av}(A)$ и $F_{av}(a_j)$ рассмотренных ранее метрик переключательной активности $F(A)$ и $F(a_j)$ (см. (7)), которые показывают среднее значение переключений при формировании одного тестового набора. Значения средних величин переключательной активности $F_{av}(A)$ и $F_{av}(a_j)$ находятся путем деления $F(A)$ и $F(a_j)$ на $2^m - 1$. Диапазон возможных значений указанных характеристик определяется их максимальными и минимальными значениями:

$$\begin{aligned} \min F_{av}(a_j) &= \min F(a_j) / (2^m - 1) = 1 / (2^m - 1), \\ \max F_{av}(a_j) &= \max F(a_j) / (2^m - 1) = 1, \\ \min F_{av}(A) &= \min F(A) / (2^m - 1) = 1, \\ \max F_{av}(A) &= \max F(A) / (2^m - 1) = m - 1/2 + 1 / (2^{m+1} - 2). \end{aligned} \quad (11)$$

Для ряда значений m предельные величины рассмотренных характеристик приведены в табл. 3.

Таблица 3

Значения переключательной активности для некоторых значений m

m	2	3	4	5	6	...	20	...	M
$\min F_{av}(a_j)$	0,333	0,142	0,066	0,032	0,016	...	0,000	...	$1/(2^m - 1)$
$\max F_{av}(a_j)$	1	1	1	1	1	...	1	...	1
$\min F_{av}(A)$	1	1	1	1	1	...	1	...	1
$\max F_{av}(A)$	1,666	2,571	3,533	4,516	5,507	...	19,500	...	$m - 1/2 + 1/(2^{m+1} - 2)$

Анализ численных значений переключательной активности адресных последовательностей, представленных в табл. 3, показывает широкий диапазон возможных величин этой характеристики для произвольной последовательности. Отметим, что для ряда классических последовательностей значения переключательной активности были определены в работах [4, 20], однако

методика синтеза адресных последовательностей с требуемой переключательной активностью, в том числе и для предельных значений, отсутствует.

Синтез адресных последовательностей с заданной переключательной активностью. Эффективность тестовых последовательностей во многом определяется их свойствами, максимально адаптированными к объекту тестирования. Как отмечалось ранее, в случае адресных последовательностей весьма эффективными характеристиками являются как переключательная активность $F(a_j)$, $j \in \{0, 1, 2, \dots, m-1\}$, определяющая количество переключений (изменений) j -го разряда a_j кода последовательности $A(n)$, так и интегральная переключательная активность $F(A)$. На практике чаще всего используются средние величины $F_{av}(A)$ и $F_{av}(a_j)$ указанных характеристик, которые принимают значения из заданных диапазонов, определенных минимальными и максимальными значениями (см. табл. 3).

Методика синтеза генератора последовательностей $A(n)$ с заданной переключательной активностью ее $k \leq m$ разрядов. Предположим, что необходимо синтезировать устройство для заданного значения m , формирующее последовательность $A(n) = a_{m-1}a_{m-2}a_{m-3}\dots a_2a_1a_0$, $a_i \in \{0, 1\}$, $i \in \{0, 1, 2, \dots, m-1\}$ и $n \in \{0, 1, 2, \dots, 2^m-1\}$, в которой для $k \leq m$ разрядов $a_{\alpha 1}, a_{\alpha 2}, a_{\alpha 3}, \dots, a_{\alpha k}$ определены конкретные значения средней переключательной активности $F_{av}(a_{\alpha 1}), F_{av}(a_{\alpha 2}), F_{av}(a_{\alpha 3}), \dots, F_{av}(a_{\alpha k})$. Отметим, что значения переключательных активностей $F(a_{\alpha 1}), F(a_{\alpha 2}), F(a_{\alpha 3}), \dots, F(a_{\alpha k})$ должны удовлетворять свойству 1.

Результатом синтеза будет являться устройство, структурная схема которого подробно описана в предыдущем разделе и показана на рис. 2. Большинство параметров и элементов устройства определяются величиной m , поэтому синтез устройства, по сути, будет заключаться в нахождении для него соответствующей порождающей матрицы V (3). Методика синтеза генератора последовательностей $A(n)$ с заданной переключательной активностью ее $k \leq m$ разрядов включает следующие этапы:

1. На основании средних значений переключательной активности разрядов $F_{av}(a_{\alpha 1}), F_{av}(a_{\alpha 2}), F_{av}(a_{\alpha 3}), \dots, F_{av}(a_{\alpha k})$ вычисляются значения переключательных активностей $F(a_{\alpha 1}), F(a_{\alpha 2}), F(a_{\alpha 3}), \dots, F(a_{\alpha k})$. Результат умножения $F_{av}(a_{\alpha c}), c \in \{1, 2, 3, \dots, k\}$, на 2^m-1 округляется до ближайшего целого значения, т. е. $F(a_{\alpha c}) = \text{int}[F_{av}(a_{\alpha c}) \cdot (2^m-1)]$. При округлении необходимо учитывать ограничение $F(a_{\alpha 1}) \neq F(a_{\alpha 2}) \neq F(a_{\alpha 3}) \neq \dots \neq F(a_{\alpha k})$, вытекающее из свойства 1.

2. Заданная в десятичной системе счисления переключательная активность $F(a_{\alpha c})_{(10)}$, $c \in \{1, 2, 3, \dots, k\}$, преобразуется в m -разрядный код, представленный в двоичной системе счисления $F(a_{\alpha c})_{(10)} = F(a_{\alpha c})_{(2)} = \beta_{\alpha c}(0) \cdot 2^{m-1} + \beta_{\alpha c}(1) \cdot 2^{m-2} + \beta_{\alpha c}(2) \cdot 2^{m-3} + \dots + \beta_{\alpha c}(m-1) \cdot 2^0$. Отметим, что $\beta_{\alpha c}(0)$ представляет собой старший бит полученного двоичного кода, а сам код $\beta_{\alpha c}(0) \beta_{\alpha c}(1) \beta_{\alpha c}(2) \dots \beta_{\alpha c}(m-1)$ однозначно определяет значения αc -го столбца порождающей матрицы V (3). Таким образом вычисляются значения всех $k \leq m$ столбцов матрицы V , которые определяют переключательные активности $F(a_{\alpha 1}), F(a_{\alpha 2}), F(a_{\alpha 3}), \dots, F(a_{\alpha k})$.

3. Случайным образом (равновероятно и независимо) генерируются остальные столбцы двоичной матрицы $m \times m$, в которой столбцы $a_{\alpha 1}, a_{\alpha 2}, a_{\alpha 3}, \dots, a_{\alpha k}$ принимают заданные значения.

4. Определяется ранг полученной матрицы. В случае максимального ранга данная матрица является искомой и используется для построения генератора адресных последовательностей (см. рис. 2). При получении матрицы с рангом, отличным от максимального, повторно выполняется этап 3.

Как было показано ранее (см. (6)), вероятность нахождения двоичной матрицы максимального ранга достаточно высока, однако в случае специфики требований к виду матрицы и невозможности нахождения матрицы максимального ранга следует незначительно изменить одну из величин переключательной активности.

Пример 1. Предположим, что необходимо синтезировать устройство для $m = 4$, формирующее последовательность $A(n) = a_3a_2a_1a_0$, в которой определены средние переключательные активности $F_{av}(a_2) = 0,20$ и $F_{av}(a_0) = 0,75$ для разрядов a_2 и a_0 , значения которых соответствуют диапазону $[0,066\div 1]$ (см. табл. 3).

Для синтеза адресной последовательности согласно примеру 1 выполним следующие действия:

1. Получим значения $F(a_2)$ и $F(a_0)$ как $F(a_2) = \text{int}[F_{av}(a_2) \cdot (2^m - 1)] = 0,2 \cdot (2^4 - 1) = 3$ и $F(a_0) = \text{int}[F_{av}(a_0) \cdot (2^m - 1)] = 0,75 \cdot (2^4 - 1) = 11$. Отметим, что величина $F(a_2) \neq F(a_0)$. Это соответствует свойству 1.

2. Представим $F(a_2)$ и $F(a_0)$ в виде $F(a_2) = 3_{(10)} = 0011_{(2)}$ и $F(a_0) = 11_{(10)} = 1011_{(2)}$, тогда значения второго и нулевого столбцов матрицы V примут значения $\beta_2(0)\beta_2(1)\beta_2(2)\beta_2(3) = 0011$ и $\beta_0(0)\beta_0(1)\beta_0(2)\beta_0(3) = 1011$.

3. Третий и первый столбцы матрицы V сформируем случайным образом, исключая нулевые и повторяющиеся значения.

4. В результате проверки ранга матрицы получим результирующую матрицу, два варианта для которой (B1 и B2) приведены в табл. 4.

Таблица 4

Адресные последовательности для $m = 4$

V для $m = 4$	B1	B2	B3	B4
$\beta_3(0) \ \beta_2(0) \ \beta_1(0) \ \beta_0(0)$	0 0 0 1	1 0 1 1	1 1 1 0	1 1 1 0
$\beta_3(1) \ \beta_2(1) \ \beta_1(1) \ \beta_0(1)$	1 0 0 0	1 0 0 0	1 0 0 1	1 1 0 0
$\beta_3(2) \ \beta_2(2) \ \beta_1(2) \ \beta_0(2)$	0 1 0 1	0 1 0 1	0 0 1 1	1 0 0 1
$\beta_3(3) \ \beta_2(3) \ \beta_1(3) \ \beta_0(3)$	0 1 1 1	1 1 1 1	0 0 0 1	0 0 0 1
$A(0)$	0000	0000	0000	0000
$A(1) = A(0) \oplus v_0$	0001	1011	1110	1110
$A(2) = A(1) \oplus v_1$	1001	0011	0111	0010
$A(3) = A(2) \oplus v_0$	1000	1000	1001	1100
$A(4) = A(3) \oplus v_2$	1101	1101	1010	0101
$A(5) = A(4) \oplus v_0$	1100	0110	0100	1011
$A(6) = A(5) \oplus v_1$	0100	1110	1101	0111
$A(7) = A(6) \oplus v_0$	0101	0101	0011	1001
$A(8) = A(7) \oplus v_3$	0010	1010	0010	1000
$A(9) = A(8) \oplus v_0$	0011	0001	1100	0110
$A(10) = A(9) \oplus v_1$	1011	1001	0101	1010
$A(11) = A(10) \oplus v_0$	1010	0010	1011	0100
$A(12) = A(11) \oplus v_2$	1111	0111	1000	1101
$A(13) = A(12) \oplus v_0$	1110	1100	0110	0011
$A(14) = A(13) \oplus v_1$	0110	0100	1111	1111
$A(15) = A(14) \oplus v_0$	0111	1111	0001	0001

Как видно из табл. 4, для B1 и B2 $F(a_2) = 3$ и $F(a_2) = 11$, а $F(a_3)$ и $F(a_1)$ принимают значения 4 и 1 для B1 и 13 и 9 для B2. Для обоих вариантов интегральная метрика $F_{av}(A)$, характеризующая последовательности, равняется 1,26 и 2,4 соответственно.

Методика синтеза генератора последовательностей $A(n)$ с заданной переключающей активностью $F_{av}(A)$. Данная методика, так же, как и методика синтеза генератора последовательностей $A(n)$ с заданной переключающей активностью ее $k \leq m$ разрядов, будет заключаться в нахождении соответствующей порождающей матрицы V (3). Для этого необходимо сформировать произвольную матрицу максимального ранга с заданными ограничениями. Определим эти ограничения, для чего переключающую активность $F(A) = \text{int}[F_{av}(a_0) \cdot (2^m - 1)]$ запишем в виде выражения

$$F(A) = w(v_0) \cdot 2^{m-1} + w(v_1) \cdot 2^{m-2} + w(v_2) \cdot 2^{m-3} + \dots + w(v_{m-1}) \cdot 2^0. \quad (12)$$

Значение $w(v_i)$ представляет собой вес Хэмминга $w(v_i)$ двоичного вектора $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = \overline{0, m-1}$. Следует отметить, что подобное разложение $F(A)$ возможно только для его величин, удовлетворяющих неравенству $\min F(A) \leq F(A) \leq \max F(A)$.

Для случая квадратной матрицы $m \times m$, состоящей из m линейно независимых двоичных векторов, величина $w(v_i)$ принимает значения от единицы до m , т. е. каждая строка такой матрицы должна содержать от одного единичного значения до m единичных значений, а их конкретное количество зависит от заданной величины $F(A)$. Разложение величины $F(A)$ в виде (12) можно интерпретировать как ее представление в m -ичной смешанной системе счисления, в которой веса разрядов представлены в виде степеней двойки от 2^0 до 2^{m-1} . Методика синтеза генератора последовательностей $A(n)$ с заданной переключающей активностью $F_{av}(A)$ включает следующие этапы:

1. На основании среднего значения переключающей активности $F_{av}(A)$ вычисляется значение переключающей активности $F(A) = \text{int}[F_{av}(A) \cdot (2^m - 1)]$.

2. Для получения значений $w(v_i)$, обеспечивающих согласно (12) требуемую величину $F(A)$, определяется разность $F(A) - \min F(A) = F(A) - 2^{m-1}$.

3. Проверяется условие $F(A) - 2^{m-1} = 0$, выполнение которого означает, что $F(A)$ принимает минимально возможное значение. Как указывалось в работе [4], оно достигается заданием матрицы V , в которой все строки $v_i = \beta_{m-1}(i) \beta_{m-2}(i) \dots \beta_0(i)$, $i = 0, m-1$, содержат по одной единице. Другими словами, вес Хэмминга $w(v_i)$ двоичного вектора v_i равняется единице, что свидетельствует о существовании $m!$ подобных матриц, каждая из которых может быть матрицей V . Соответственно, случайным образом формируются m m -разрядных неповторяющихся векторов, каждый из которых содержит по одной единице. В результате будет получена искомая матрица V .

Для $F(A)$, отличных от минимального значения, необходимо определить значения весов $w(v_i)$, удовлетворяющих неравенству $1 \leq w(v_i) \leq m$.

4. При условии, что $F(A) - 2^{m-1} \neq 0$, определяются величины $w(v_i) - 1$ путем последовательного выполнения операций деления. Первоначально величина $F(A) - 2^{m-1}$ делится на 2^{m-1} . Полученное частное и будет являться значением $w(v_0) - 1$, что следует из разложения (12). Затем остаток от предыдущей операции делится на 2^{m-2} . В результате имеем остаток, определяющий $w(v_1) - 1$, и таким образом получаем все значения $w(v_i) - 1$. Основываясь на значениях $w(v_i) - 1$, легко определить веса $w(v_i)$ строк v_i порождающей матрицы V (3), которые и являются входными данными для синтеза произвольной, сформированной случайным образом матрицы с фиксированными весами Хэмминга. Конкретное значение $w(v_i)$ для строки v_i определяет формирование случайным образом m -разрядного двоичного вектора, содержащего $w(v_i)$ единиц и $m - w(v_i)$ нулей.

5. Проверяется ранг построенной таким образом матрицы. Если он максимален, искомая матрица V (3) может быть использована для генерирования последовательности $A(n)$ с заданной переключающей активностью $F_{av}(A)$. Как было показано ранее (см. (6)), в общем случае вероятность того, что ранг матрицы максимален, достаточно велика и приблизительно равна 0,288.

При получении матрицы с рангом, отличным от максимального, повторно выполняется этап 4 в части формирования случайным образом матрицы с фиксированными весами Хэмминга. Каждая строка этой матрицы представляет собой случайный вектор с заданным весом $w(v_i)$. Затем опять выполняется этап 5.

Пример 2. Необходимо синтезировать устройство для $m = 4$, формирующее последовательность $A(n) = a_3 a_2 a_1 a_0$ с заданной переключающей активностью $F_{av}(A) = 2,45$.

Для синтеза адресной последовательности согласно примеру 2 выполним следующие действия:

1. На основании среднего значения переключающей активности $F_{av}(A) = 2,45$ вычислим значение переключающей активности $F(A) = \text{int}[2,45 \cdot 15] = 37$.

2. Определим разность $F(A) - \min F(A) = 37 - 15 = 22$.

3. Значение разности $F(A) - \min F(A) = 22 \neq 0$.

4. В результате первой операции деления $F(A) - \min F(A) = 22$ на $2^{m-1} = 8$ получим частное, равное 2. Соответственно, $w(v_0) - 1 = 2$, а $w(v_0) = 3$. Остаток от предыдущей операции, равный шести, делится на $2^{m-2} = 4$. В результате частное, равное единице, определяет вес $w(v_1) = 2$. Последующие шаги формируют значения $w(v_2) = 2$ и $w(v_3) = 1$. Следовательно, десятичное значение $F(A) = 37$ представляется в виде разложения $F(A) = 37 = 3 \cdot 8 + 2 \cdot 4 + 2 \cdot 2 + 1 \cdot 1$ (12). Значения цифр этого разложения $w(v_3) = 3$, $w(v_1) = 2$, $w(v_2) = 2$ и $w(v_0) = 1$ используются в качестве ограничений на формируемую порождающую матрицу V , в которой первая строка должна содержать три единицы, вторая и третья строки – по две единицы и четвертая строка – одну единицу.

Любая матрица, удовлетворяющая сформулированным выше условиям, позволит сгенерировать адресную последовательность $A(n)$ с заданной переключающей активностью $F_{av}(A)$. Варианты В3 и В4 последовательностей с переключающей активностью $F_{av}(A) = 2,45$ приведены в табл. 4.

Пример 3. Необходимо синтезировать устройство для $m = 4$, генерирующее последовательность $A(n) = a_3a_2a_1a_0$, для которой в каждом такте формируются два изменения значений в следующем коде последовательности. Подобную последовательность можно охарактеризовать как «двойной Грей». Формально такая последовательность описывается средней переключающей активностью $F_{av}(A) = 2$. Отметим, что последовательность Грея имеет значение $F_{av}(A) = 1$.

Как и в примере 2, последовательно применив рассмотренную методику синтеза, получим значения цифр $w(v_3) = 2$, $w(v_2) = 2$, $w(v_1) = 2$ и $w(v_0) = 2$ разложения (12). Однако попытка нахождения соответствующей матрицы максимального ранга для $m = 4$, у которой все строки содержат по две единицы, не дает положительного результата. Это связано с тем, что в данном случае требование о линейной независимости векторов v_3 , v_2 , v_1 и v_0 и значения их весов $w(v_3)$, $w(v_1)$, $w(v_2)$ и $w(v_0)$ несовместимы. Очевидно, что существует достаточно много подобных ситуаций [22, 23]. Например, они имеют место для случая последовательности анти-Грея, которую можно построить только для четных значений m [4]. Решение задачи, сформулированной в примере 3, возможно путем коррекции значения $F(A)$, которое в этом случае равняется 30.

В общем случае для обеспечения заданного значения $F_{av}(A)$ с минимальной погрешностью первоначально изменяют значение $F(A)$ на минимальную величину (+1 или -1) и переходят к поиску соответствующей порождающей матрицы V (3). В случае отрицательного исхода значение отклонения величины $F(A)$ от требуемого $\text{int}[F_{av}(A) \cdot (2^m - 1)]$ увеличивается.

Для примера 3 уменьшение $F(A)$ на единицу позволяет получить матрицу

$$V = \begin{pmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 \end{pmatrix}. \quad (13)$$

Матрица (13) дает возможность сгенерировать адресную последовательность, для которой $F(A) = 29$, а $F_{av}(A) = 1,933\dots$, что незначительно отличается от требуемого значения $F_{av}(A) = 2$. Для реальных значений $m > 20$ погрешность отклонения и полученного значения переключающей активности от заданной величины незначительна.

Применение адресных последовательностей. Очевидной областью применения рассмотренных методик синтеза адресных последовательностей являются встроенные средства самотестирования запоминающих устройств (Memory Built-In Self-Test, MBIST) современных вычислительных систем. При реализации MBIST аппаратные затраты на генератор адресных последовательностей составляют до 30 % общих затрат на встроенные средства самотестирования [24–26]. В то же время набор адресных последовательностей в приведенных в литературе архитектурах MBIST весьма ограничен, что обусловлено в первую очередь ограничениями на аппаратные затраты. Набор таких последовательностей включает: пересчетные последовательности (Linear Counting Method); последовательности Грея (Gray Code Counting Method); последовательности с максимальной переключающей активностью (Address Complement Counting Method); последовательности с расстоянием Хэмминга, равным единице для всех пар адресов (2^i Counting Method), и др. [24].

Все перечисленные последовательности реализуются рассмотренным в настоящей работе генератором адресных последовательностей (см. рис. 2). Вид формируемой последовательности задается порождающей матрицей V . Количество адресных последовательностей, формируемых генератором для реальных значений m , достигает астрономических значений, равных более 25 % от общего числа 2^{m^2} возможных двоичных матриц (6). При этом в отличие от известных решений [24, 25], когда MBIST реализует одну последовательность из семейства последовательностей, генератор адресных последовательностей позволяет формировать либо все семейство последовательностей, либо их подмножество. Например, в случае последовательности Грея,

задавая одну из $m!$ порождающих матриц V (3), содержащих по одной единице в строке и столбце, возможно формирование $m!$ последовательностей Грея. В качестве еще одного примера можно привести широкие возможности для формирования адресных последовательностей типа 2^i Counting Method, для которых обеспечивается не только максимальная переключаемая активность i -го разряда адреса, но и произвольные значения активности остальных разрядов адреса. Такие адресные последовательности эффективны для обнаружения неисправностей, связанных с временными параметрами запоминающих устройств (Speed-Related Faults) [24, 25].

Изменение переключаемой активности адресов запоминающих устройств позволяет обнаруживать неисправности как самой матрицы запоминающих элементов, так и ее электронного обрамления за счет изменений потребляемой энергии (power surge), временных задержек (delay) и шумовых эффектов, связанных с переключением элементов дешифратора адресов (noise) [24–26].

Средние значения переключаемой активности $F_{av}(A)$ и $F_{av}(a_j)$ можно интерпретировать как средние значения расстояния Хэмминга, которое широко применяется для построения управляемых вероятностных тестовых последовательностей [27, 28]. Изменение значений указанных характеристик позволяет строить управляемые вероятностные тесты с заданными величинами расстояния Хэмминга.

Основные характеристики генератора адресных последовательностей исследовались с помощью его реализации на FPGA Intel Cyclone V (5CSXFC6D6F31C8ES) (рис. 3). Схема FPGA состоит из 41 910 адаптивных логических модулей (ALMs) и 553 блоков памяти SRAM (M10k). Реализация генератора для $m = 8$ потребовала 17 модулей ALMs и один блок встроенной памяти M10k, что составляет менее 1 % площади кристалла FPGA.

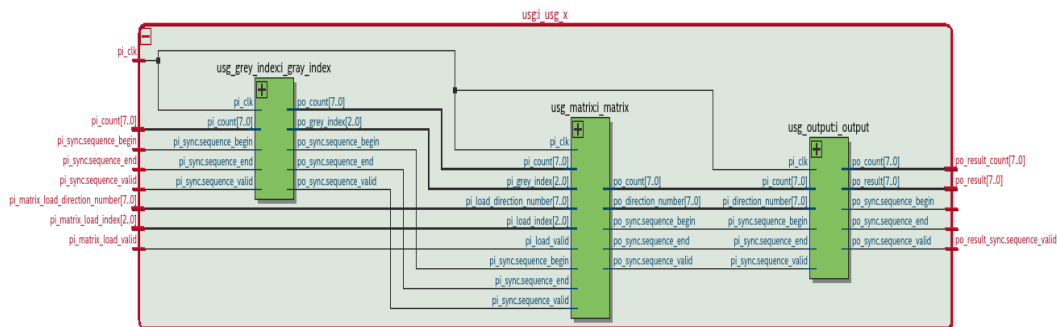


Рис. 3. Реализация генератора адресных последовательностей на FPGA

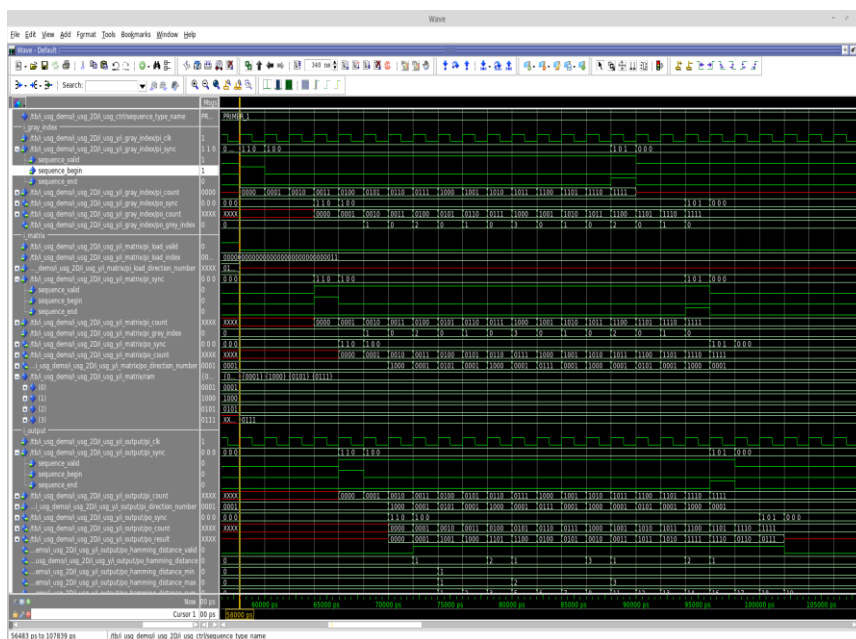


Рис. 4. Расшифровка сигналов и временная диаграмма работы генератора

Реализация генератора адресных последовательностей на рис. 3 идентична структуре, изображенной на рис. 2. Входные, выходные и промежуточные полюса реализованного устройства и его детализированной структуры, а также их описания находятся в полном соответствии. Моделирование работы генератора адресных последовательностей показано на рис. 4.

Оценка энергопотребления схемы формирования адресов (см. рис. 3) проводилась с использованием Quartus Prime Version 19.1.0 Build 670 09/22/2019 SJ Lite Edition. Результаты анализа свидетельствуют о минимальном потреблении мощности предлагаемым устройством: Total Thermal Power Dissipation – 463,45 Вт, Core Dynamic Thermal Power Dissipation – 14,63 Вт, Core Static Thermal Power Dissipation – 415,27 Вт, I/O Thermal Power Dissipation – 33,56 Вт.

Временные параметры генератора соответствуют максимально возможным временным параметрам FPGA.

Заключение. Использование модифицированной математической модели формирования последовательностей Соболя позволило расширить возможности генератора адресных последовательностей в части значительного увеличения количества видов подобных последовательностей. В работе изложен метод построения генератора адресных последовательностей с заданными значениями переключательной активности как формируемых кодов адресов, так и активности их разрядов. Сущность метода состоит в синтезе требуемой порождающей матрицы максимального ранга, обеспечивающей заданные значения переключательной активности. Показаны ограничения предложенных методик, связанные с возможными противоречивыми требованиями к значениям весов строк матрицы и их линейной независимости. Описаны примеры применения подобных последовательностей построения встроенных средств самотестирования запоминающих устройств и синтеза управляемых вероятностных тестов. Представлена практическая реализация генератора адресных последовательностей, показывающая реализуемость такого устройства с минимальными аппаратными затратами и максимальным быстродействием.

Список использованных источников

1. Bushnell, M. L. Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits / M. L. Bushnell, V. D. Agrawal. – N. Y. : Kluwer Academic Publishers, 2000. – 690 p.
2. Wang, L.-T. VLSI Test Principles and Architectures: Design for Testability / L.-T. Wang, C.-W. Wu, X. Wen. – Amsterdam : Elsevier, 2006. – 808 p.
3. Ярмолик, С. В. Многократные неразрушающие маршевые тесты с изменяемыми адресными последовательностями / С. В. Ярмолик, В. Н. Ярмолик // Автоматика и телемеханика. – 2007. – № 4. – С. 126–137.
4. Ярмолик, В. Н. Адресные последовательности для многократного тестирования ОЗУ / В. Н. Ярмолик, С. В. Ярмолик // Информатика. – 2014. – № 2(42). – С. 124–136.
5. Sharma, A. K. Semiconductor Memories: Technology, Testing, and Reliability / A. K. Sharma. – London : John Wiley & Sons, 2002. – 480 p.
6. Угрюмов, Е. П. Цифровая схемотехника / Е. П. Угрюмов. – 3-е изд., перераб. и доп. – СПб. : БХВ-Петербург, 2010. – 816 с.
7. Pomeranz, I. An adjacent switching activity metric under functional broadside tests / I. Pomeranz // IEEE Transaction on Computers. – 2013. – Vol. 62, no. 4. – P. 404–410.
8. Pomeranz, I. Switching activity as a test compaction heuristic for transition faults / I. Pomeranz, S. M. Reddy // IEEE Transaction VLSI Systems. – 2010. – Vol. 18, no. 9. – P. 1357–1361.
9. Pedram, M. Power minimization in IC design: principles and applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. – 1996. – Vol. 1. – P. 3–56.
10. Черемисинова, Л. Д. Оптимизация скобочных представлений булевых функций с учетом энергопотребления / Л. Д. Черемисинова, Н. А. Кириенко // Информатика. – 2011. – № 3(31). – С. 77–87.
11. Мурашко, И. А. Встроенное самотестирование. Методы минимизации энергопотребления / И. А. Мурашко, В. Н. Ярмолик. – Saarbrücken : LAP Lambert Academic Publishing, 2012. – 348 с.
12. A test vector ordering technique for switching activity reduction during test operation / P. Girard [et al.] // Proc. Ninth Great Lakes Symp. on VLSI, Ypsilanti, MI, USA, 1999. – Ypsilanti, 1999. – P. 24–27.
13. Кириенко, Н. А. Оптимизация многоуровневых представлений логических схем для сокращения площади кристалла СБИС и энергопотребления / Н. А. Кириенко, Д. И. Черемисинов, Л. Д. Черемисинова // Вес. Нац. акад. навук Беларусі. Сер. фіз.-мат. навук. – 2015. – № 2. – С. 103–111.

14. Wang, S. An automatic test pattern generator for minimizing switching activity during scan testing activity / S. Wang, S. K. Gupta // *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. – 2002. – Vol. 21, no. 8. – P. 954–968.
15. On low-capture-power test generation for scan testing / X. Wen [et al.] // *Proc. VLSI Test Symp.*, Palm Springs, California, USA, 2005. – Palm Springs, 2005. – P. 265–270.
16. Yarmolik, V. N. Modified gray and counter sequences for memory test address generation / V. N. Yarmolik, S. V. Yarmolik // *Proc. of the 13th Intern. Conf. MIXDES Design of Integrated Circuits and Systems*, Gdynia, Poland, 2006. – Gdynia, 2006. – P. 572–576.
17. Ярмолик, В. Н. Контроль и диагностика вычислительных систем / В. Н. Ярмолик. – Минск : Бест-принт, 2019. – 387 с.
18. Соболев, И. М. Точки, равномерно заполняющие многомерный куб / И. М. Соболев. – М. : Знание, 1985. – 32 с.
19. Антонов, И. А. Экономичный способ вычисления ЛП_τ-последовательностей / И. А. Антонов, В. М. Салеев // *Журн. вычисл. матем. и матем. физ.* – 1979. – Т. 19, № 1. – С. 243–245.
20. Ярмолик, С. В. Квазислучайное тестирование вычислительных систем / С. В. Ярмолик, В. Н. Ярмолик // *Информатика*. – 2013. – № 3(39). – С. 65–81.
21. Savage, C. A survey of combinatorial Gray code / C. Savage // *SIAM Review*. – 1997. – Vol. 39, no. 4. – P. 605–629.
22. Boyd, S. Introduction to Applied Linear Algebra: Vectors, Matrices, and Least Squares / S. Boyd. – Cambridge : University Printing House, 2018. – 463 p.
23. The rank of random binary matrices and distributed storage applications / P. Ferreira [et al.] // *IEEE Communication Letters*. – 2013. – Vol. 17, no. 1. – P. 151–154.
24. Goor, A. J. Optimizing memory BIST Address Generator implementations / A. J. Goor, H. Kukner, S. Hamdioui // *Proc. of 2011 6th Intern. Conf. on Design & Technology of Integrated Systems in Nanoscale Era (DTIS)*, Athens, Greece, 2011. – Athens, 2011. – P. 572–576.
25. Full-speed field-programmable memory BIST architecture / X. Du [et al.] // *Proc. of IEEE Intern. Test Conf.*, Austin, TX, USA, 2005. – Austin, 2005. – P. 1173–1182.
26. Aswin, A. M. Implementation and validation of memory built in self-test (MBIST) – survey / A. M. Aswin, S. S. Ganesh // *Intern. J. of Mechanical Engineering and Technology (IJMET)*. – 2019. – Vol. 10, no. 3. – P. 153–160.
27. Mrozek, I. Iterative antirandom testing / I. Mrozek, V. N. Yarmolik // *J. of Electronic Testing: Theory and Applications (JETTA)*. – 2012. – Vol. 9, no. 3. – P. 251–266.
28. Mrozek, I. Antirandom test vectors for BIST in Hardware / Software systems / I. Mrozek, V. N. Yarmolik // *Fundamenta Informaticae*. – 2012. – No. 119. – P. 1–23.

References

1. Bushnell M. L., Agrawal V. D. *Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits*. New York, Kluwer Academic Publishers, 2000, 690 p.
2. Wang L.-T., Wu C.-W., Wen X. *VLSI Test Principles and Architectures: Design for Testability*. Amsterdam, Elsevier, 2006, 808 p.
3. Yarmolik S. V., Yarmolik V. N. Mnogokratnye nerazrushayushchie marshevye testy s izmenyaemymi adresnymi posledovatel'nostymi [Multiple non-destructive marching tests with variable address sequences]. *Avtomatika i telemekhanika [Automation and Remote]*, 2007, no. 4, pp. 126–137 (in Russian).
4. Yarmolik V. N., Yarmolik S. V. Adresnye posledovatel'nosti dlya mnogokratnogo testirovaniya OZU [Address sequences for repeated testing of RAM]. *Informatika [Informatics]*, 2014, no. 2(42), pp. 124–136 (in Russian).
5. Sharma A. K. *Semiconductor Memories: Technology, Testing, and Reliability*. London, John Wiley & Sons, 2002, 480 p.
6. Ugryumov E. P. *Cifrovaya shemotekhnika. Digital Circuitry*. Saint Petersburg, BHV-Peterburg, 2010, 816 p. (in Russian).
7. Pomeranz I. An adjacent switching activity metric under functional broadside tests. *IEEE Transaction on Computers*, 2013, vol. 62, no. 4, pp. 404–410.
8. Pomeranz I., Reddy S. M. Switching activity as a test compaction heuristic for transition faults. *IEEE Transaction VLSI Systems*, 2010, vol. 18, no. 9, pp. 1357–1361.
9. Pedram M. Power minimization in IC design: principles and applications. *ACM Transactions Design Automation Electronic Systems*, 1996, vol. 1, pp. 3–56.
10. Cheremisina L. D., Kirienko N. A. Optimizatsiya skobochnuh predstavlenii bulevuh funktsii s uchetom energopotrebleniya [Optimization of bracket representations of Boolean functions taking into account energy consumption]. *Informatika [Informatics]*, 2011, no. 3(31), pp. 77–87 (in Russian).

11. Murashko I. A., Yarmolik V. N. Vstroennoe samotestirovanie. Metodu minimizacii energopotrebleniya. *Built-in Self Test. Methods to Minimize Power Consumption*. Saarbrücken, LAP Lambert Academic Publishing, 2012, 348 p. (in Russian).
12. Girard P., Guiller L., Landrault C., Pravossoudovitch S. A test vector ordering technique for switching activity reduction during test operation. *Proceedings Ninth Great Lakes Symposium on VLSI, Ypsilanti, MI, USA, 1999*. Ypsilanti, 1999, pp. 24–27.
13. Kirienko N. A., Cheremisinov D. I., Cheremisinova L. D. Optimizaciya mnogourovnevuh predstavlenii logicheskikh shem glya sokrascheniya ploschadi kristala SBIS i energopotrebleniya [Optimization of multi-level representations of logic circuits to reduce VLSI chip area and power consumption]. *Vesti Natsyyanal'nai akademii navuk Belarusi. Seryya fizika-matematychnykh navuk [Proceedings of the National Academy of Sciences of Belarus. Physics and Mathematics series]*, 2015, no. 2, pp. 103–111 (in Russian).
14. Wang S., Gupta S. K. An automatic test pattern generator for minimizing switching activity during scan testing activity. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2002, vol. 21, no. 8, pp. 954–968.
15. Wen X., Yamashita Y., Kajihara S., Wang L.-T., Saluja K. K., Kinoshita K. On low-capture-power test generation for scan testing. *Proceedings VLSI Test Symposium, Palm Springs, California, USA, 2005*. Palm Springs, 2005, pp. 265–270.
16. Yarmolik V. N., Yarmolik S. V. Modified gray and counter sequences for memory test address generation. *Proceedings of the 13th International Conference MIXDES Design of Integrated Circuits and Systems, Gdynia, Poland, 2006*. Gdynia, 2006, pp. 572–576.
17. Yarmolik V. N. Kontrol' i diagnostika vuchislitel'nyh system. *Monitoring and Diagnostics of Computer Systems*. Minsk, Bestprint, 2019, 387 p. (in Russian).
18. Sobol' I. M. Tochki, ravnomerno zapolnyayuschie mnogomernui kub. *Points Uniformly Filling a Multidimensional Cube*. Moscow, Znanie, 1985, 32 p. (in Russian).
19. Antonov I. A., Saleev V. M. Ekonomichnui sposob vuchisleniya LP_r-posledovatel'nostei [An economical way to calculate LP_r sequences]. *Zhurnal vychislitel'noj matematiki i matematicheskoy fiziki [Journal of Computational Mathematics and Mathematical Physics]*, 1979, vol. 19, no. 1, pp. 243–245 (in Russian).
20. Yarmolik S. V., Yarmolik V. N. Kvazisluchainoe testirovanie vuchislitel'nyh system [Quasi-random testing of computing systems]. *Informatika [Informatics]*, 2013, no. 3(39), pp. 65–81 (in Russian).
21. Savage C. A survey of combinatorial Gray code. *SIAM Review*, 1997, vol. 39, no. 4, pp. 605–629.
22. Boyd S. *Introduction to Applied Linear Algebra: Vectors, Matrices, and Least Squares*. Cambridge, University Printing House, 2018, 463 p.
23. Ferreira P., Jesus B., Vieira J., Pinho A. J. The rank of random binary matrices and distributed storage applications. *IEEE Communication Letters*, 2013, vol. 17, no. 1, pp. 151–154.
24. Goor A. J., Kukner H., Hamdioui S. Optimizing memory BIST Address Generator implementations. *Proceedings of 2011 6th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), Athens, Greece, 2011*. Athens, 2011, pp. 572–576.
25. Du X., Mukherjee N., Cheng W. T., Reddy S. M. Full-speed field-programmable memory BIST architecture. *Proceedings of IEEE International Test Conference, Austin, TX, USA, 2005*. Austin, 2005, pp. 1173–1182.
26. Aswin A. M., Ganesh S. S. Implementation and validation of memory built in self-test (MBIST) – survey. *International Journal of Mechanical Engineering and Technology (IJMET)*, 2019, vol. 10, no. 3, pp. 153–160.
27. Mrozek I., Yarmolik V. N. Iterative antirandom testing. *Journal of Electronic Testing: Theory and Applications (JETTA)*, 2012, vol. 9, no. 3, pp. 251–266.
28. Mrozek I., Yarmolik V. N. Antirandom test vectors for BIST in Hardware / Software systems. *Fundamenta Informaticae*, 2012, no. 119, pp. 1–23.

Информация об авторах

Ярмолик Вячеслав Николаевич, доктор технических наук, профессор, Белорусский государственный университет радиоэлектроники и информатики, Минск, Беларусь.
E-mail: yarmolik10ru@yahoo.com

Шевченко Николай Алексеевич, студент, член научного сообщества Weird Science Club, гимназия имени Лихтенберга, Дармштадт, Германия.
E-mail: nik.sh.de@gmail.com

Information about the authors

Vyacheslav N. Yarmolik, Dr. Sci. (Eng.), Professor, Belarusian State University of Informatics and Radioelectronics, Minsk, Belarus.
E-mail: yarmolik10ru@yahoo.com

Nikolai A. Shevchenko, Student, Member of the Scientific Community Weird Science Club, Lichtenberg Gymnasium, Darmstadt, Germany.
E-mail: nik.sh.de@gmail.com