

УДК 681.324

А.А. Баркалов, Р. Вишневский

СИНТЕЗ КОМПОЗИЦИОННОГО МИКРОПРОГРАММНОГО УСТРОЙСТВА УПРАВЛЕНИЯ С ОПТИМАЛЬНЫМ КОДИРОВАНИЕМ ЭЛЕМЕНТАРНЫХ ОПЕРАТОРНЫХ ЛИНЕЙНЫХ ЦЕПЕЙ

Предлагается метод минимизации аппаратных затрат в композиционных микропрограммных устройствах управления с разделением кодов. Метод основан на преобразовании пар <code of operational linear chain, address of component> в адрес входа операторной линейной цепи. Приведен пример применения предложенного метода.

Введение

Устройство управления любой цифровой системы может быть реализовано с применением различных методов [1–3], в том числе основанных на использовании композиционного микропрограммного устройства управления (КМУУ), включающего микропрограммный автомат (МПА) адресации микрокоманд, и микропрограммного устройства управления с естественной адресацией микрокоманд [4]. В настоящее время для реализации логических схем устройств, поведение которых описывается системами булевых функций, широко используются программируемые логические устройства типа CPLD или FPGA [5, 6]. Характерной особенностью этого базиса является высокая стоимость, что повышает актуальность задачи уменьшения стоимости логической схемы устройства управления. Одним из методов решения такой задачи при реализации КМУУ является разделение кодов [7]. Однако применение этого метода целесообразно только в том случае, если он не приводит к увеличению числа адресных разрядов управляющей памяти, хранящей микропрограмму, по сравнению с КМУУ, которое обладает базовой структурой. В противном случае разделение кодов увеличивает общий объем управляющей памяти, что, в свою очередь, увеличивает стоимость устройства в целом. В настоящей работе предлагается метод реализации КМУУ, при котором разделение кодов всегда сопровождается сохранением минимальной разрядности управляющей памяти. Предлагаемый метод ориентирован на использование элементарных операторных линейных цепей исходной граф-схемы алгоритма, хотя он применим и в общем случае, когда каждая цепь имеет более одного входа [4].

1. Основные определения и идея метода

Пусть граф-схема алгоритма (ГСА) Γ содержит Q операторных вершин, образующих в совокупности множество $V = \{b_1, \dots, b_Q\}$, и пусть E – множество дуг ГСА. Введем некоторые определения, необходимые для дальнейшего изложения материала, для чего используем результаты работы [4].

О п р е д е л е н и е 1. Операторной линейной цепью (ОЛЦ) ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = \langle b_{g_1}, \dots, b_{g_{F_g}} \rangle$, такая, что для любой пары соседних компонент вектора α_g существует дуга $\langle b_{g_i}, b_{g_{i+1}} \rangle \in E$, где i – номер компоненты вектора α_g ($i = 1, \dots, F_g - 1$).

О п р е д е л е н и е 2. Вершина $b_q \in V$ называется входом ОЛЦ α_g , если существует дуга $\langle b_i, b_q \rangle \in E$, где b_i является начальной или условной вершиной ГСА Γ либо операторной вершиной, не входящей в ОЛЦ α_g .

О п р е д е л е н и е 3. Операторная линейная цепь α_g называется элементарной ОЛЦ, если она имеет только один вход.

Определение 4. Вершина $b_q \in B$ называется выходом ОЛЦ α_g , если существует дуга $\langle b_q, b_t \rangle \in E$, где b_t является условной или конечной вершиной ГСА либо не входит в ОЛЦ α_g .

Обозначим $A(b_t)$ адрес микрокоманды, соответствующей операторной вершине $b_t \in B$. Представим адрес $A(b_t)$ как конкатенацию

$$A(b_t) = K(\alpha_g) * K(b_t), \quad (1)$$

где $K(\alpha_g)$ – код ОЛЦ $\alpha_g \in C = \{\alpha_1, \dots, \alpha_G\}$, C – множество ОЛЦ ГСА и $K(b_t)$ – код компоненты ОЛЦ $\alpha_g \in C$, соответствующей вершине $b_t \in B$. Представление адреса микрокоманды в виде (1) называется представлением с разделением кодов [4]. Пусть все ОЛЦ $\alpha_g \in C$ являются элементарными операторными линейными цепями (ЭОЛЦ). В этом случае устройство управления, интерпретирующее ГСА, может быть реализовано как КМУУ U_1 (рис. 1).

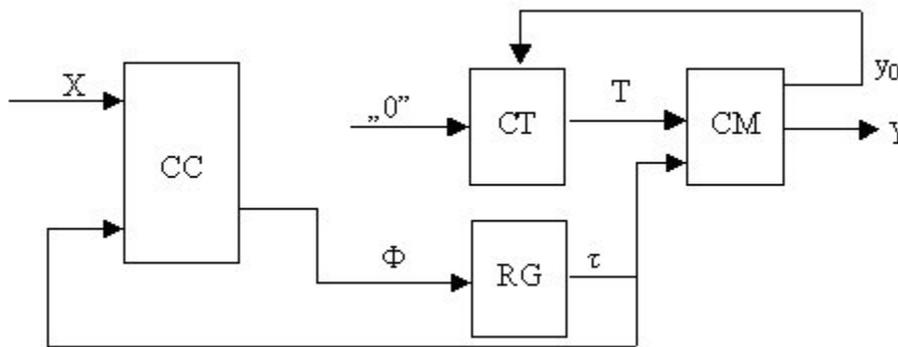


Рис. 1. Структурная схема композиционного микропрограммного устройства управления U_1

В КМУУ U_1 комбинационная схема CC формирует функции возбуждения памяти автомата адресации, реализованной в виде регистра RG :

$$\Phi = \Phi(\tau, X), \quad (2)$$

где $\tau = \{\tau_1, \dots, \tau_{R_1}\}$ – множество внутренних переменных, кодирующих ЭОЛЦ $\alpha_g \in C$, $R_1 = \lceil \log_2 G \rceil$; $X = \{x_1, \dots, x_L\}$ – множество логических условий, записанных в условных вершинах исходной ГСА Γ . Счетчик CT используется для отображения кода компоненты $K(b_t)$ и имеет $R_2 = \lceil \log_2 M \rceil$ разрядов, где M – максимальное число компонент в ЭОЛЦ $\alpha_g \in C$. Если происходит переход между входящими в одну и ту же ЭОЛЦ вершинами $b_q = pr_i \alpha_g$, $b_t = pr_{i+1} \alpha_g$, где $i \in \{1, \dots, F_g - 1\}$, то содержимое счетчика CT увеличивается на единицу по внутреннему сигналу $y_0 = 1$. Это соответствует режиму естественной адресации микрокоманд [8], реализуемому в данном случае следующим образом:

$$K(b_t) = K(b_q) + 1. \quad (3)$$

Сигнал y_0 и микрооперации $y_n \in Y = \{y_1, \dots, y_N\}$ формируются управляющей памятью, реализованной на ППЗУ [5]. По достижении выхода ЭОЛЦ $\alpha_g \in C$ сигнал y_0 не формируется и автомат адресации микрокоманд, включающий схему CC и регистр RG , загружает в регистр

RG код очередной ЭОЛЦ. При этом счетчик СТ обнуляется, что соответствует коду первой компоненты любой ЭОЛЦ. Код компоненты $K(b_i)$ представляется внутренними переменными $T_r \in T = \{T_1, \dots, T_{R_i}\}$.

Такой подход имеет смысл при выполнении условия

$$R_1 + R_2 = R_3. \tag{4}$$

Здесь $R_3 = \lceil \log_2 Q \rceil$ – минимальное число бит, достаточное для адресации микрокоманд в КМУУ с базовой структурой [4]. Если условие (4) нарушается, то число микросхем либо площадь кристалла, требуемые для реализации управляющей памяти, резко увеличиваются по сравнению с минимально возможными.

О п р е д е л е н и е 5. *Элементарные ОЛЦ $\alpha_i, \alpha_g \in C$ называются псевдоэквивалентными ЭОЛЦ, если формулы переходов [9] для их выходов совпадают.*

Псевдоэквивалентные ЭОЛЦ соответствуют псевдоэквивалентным состояниям микропрограммного автомата Мура [10], и их наличие может быть использовано для минимизации числа входов и термов схемы СС. Существующие до сих пор методы синтеза КМУУ U_1 [7] не использовали этой возможности. Кроме того, синтез КМУУ U_1 при нарушении условия (4) считался невозможным из-за резкого роста аппаратных затрат.

В настоящей статье предлагается преобразовывать код ЭОЛЦ в адрес ее входа и выполнять кодирование псевдоэквивалентных ЭОЛЦ таким образом, чтобы минимизировать число термов в схеме СС. Основной идеей метода кодирования является нахождение разбиения $\Pi_C = \{B_1, \dots, B_l\}$ множества ЭОЛЦ на классы псевдоэквивалентных ЭОЛЦ и такого кодирования ЭОЛЦ, чтобы цепи из одного класса найденного разбиения входили в один обобщенный интервал R_i -мерного булева пространства. Такой подход позволяет реализовать устройство управления в виде КМУУ U_2 (рис. 2).

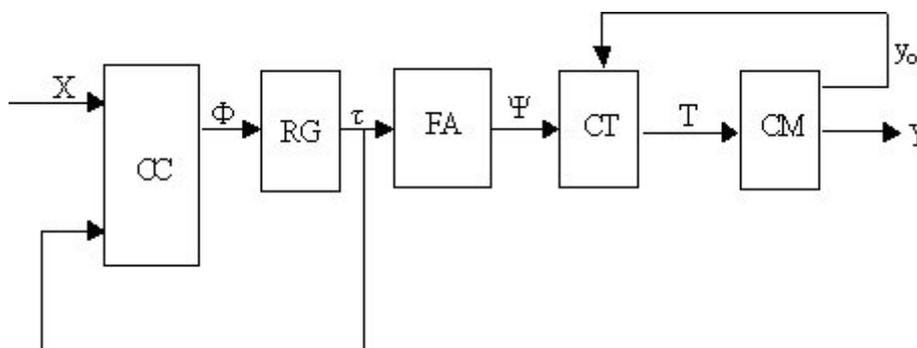


Рис. 2. Структурная схема композиционного микропрограммного устройства управления U_2

На рис. 2 схема СС формирует систему функций (2) для записи кода $K(\alpha_g)$ текущей ЭОЛЦ в регистр RG. Схема формирования адреса микрокоманды FA преобразует код $K(\alpha_g)$ в адрес $A(b_q)$, где $b_q = pr_1 \alpha_g$. В этом случае режим адресации (3) реализуется как режим

$$A(b_i) = A(b_q) + 1, \tag{5}$$

где $b_q = pr_i \alpha_g$, $b_i = pr_{i+1} \alpha_g$, $i \in \{1, \dots, F_g - 1\}$, $g=1, \dots, G$.

Схема FA формирует функции

$$\Psi = \Psi(\tau) \tag{6}$$

и в силу своей регулярности может быть реализована на ППЗУ.

Из сравнения двух структур КМУУ следует, что КМУУ U_2 имеет меньшее быстродействие, чем КМУУ U_1 , из-за наличия схемы формирования адреса микрокоманды, которая вносит дополнительную задержку. В этой связи применение предложенного метода имеет смысл только в том случае, если критерием эффективности схемы является минимум аппаратных затрат, а также в случаях, когда быстродействие КМУУ с предложенной структурой удовлетворяет условиям технического задания.

2. Метод синтеза композиционного микропрограммного устройства управления u_2 и пример его применения

В настоящей работе предлагается метод синтеза КМУУ U_2 , показанный на примере ГСА Γ_1 (рис. 3).

В рассматриваемом примере есть множество ЭОЛЦ $C = \{\alpha_1, \dots, \alpha_7\}$ [1], где $\alpha_1 = \langle b_0, b_1, b_2 \rangle$, $\alpha_2 = \langle b_3 \rangle$, $\alpha_3 = \langle b_6, b_7 \rangle$, $\alpha_4 = \langle b_4, b_5 \rangle$, $\alpha_5 = \langle b_8, b_9, b_{10} \rangle$, $\alpha_6 = \langle b_{11}, b_{12} \rangle$, $\alpha_7 = \langle b_{13}, b_{14} \rangle$. Следовательно, основные параметры имеют следующие значения: $G = 7$, $R_1 = 3$, $\tau = \{\tau_1, \dots, \tau_3\}$, $M = 5$, $R_2 = 2$, $Q = 15$, $R_3 = 4$. Итак, условие (4) нарушается и применение КМУУ U_2 имеет смысл.

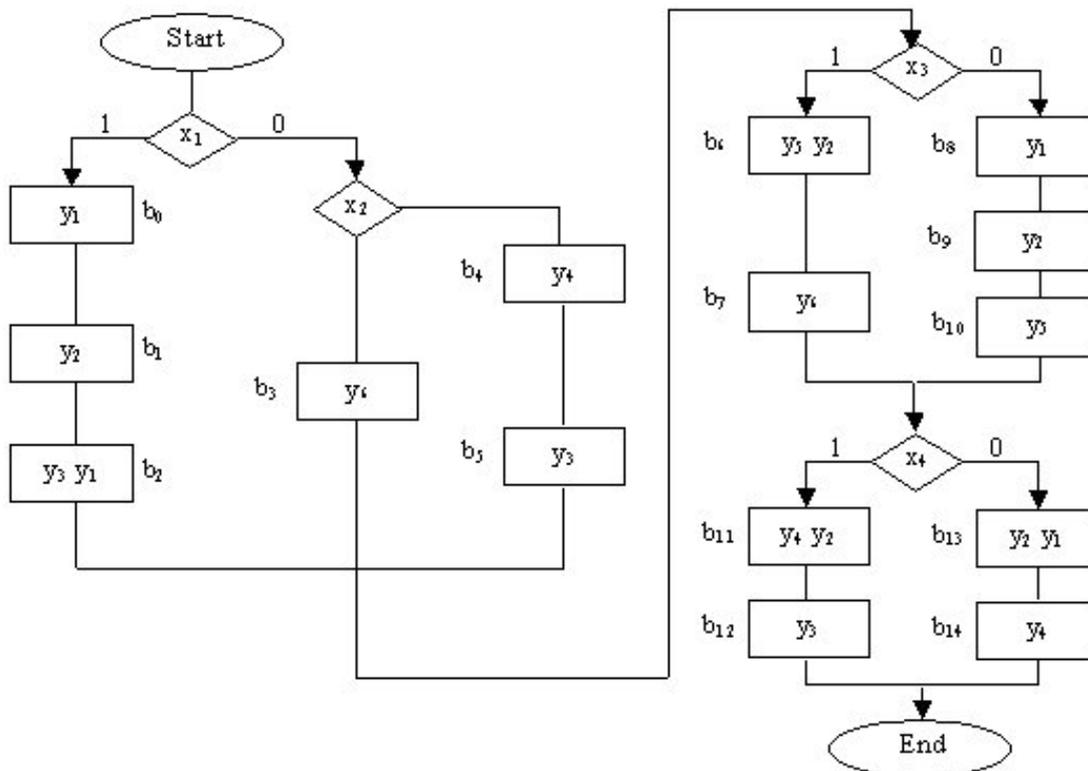


Рис. 3. Исходная граф-схема алгоритма Γ_1

Предлагаемый метод синтеза включает следующие этапы.

1. *Естественная адресация микрокоманд и формирование содержимого управляющей памяти.* На этот этап используются результаты работы [4].

Таблица 1

Содержимое управляющей памяти КМУУ U_2

Адрес	Микрооперации	Комментарии	Адрес	Микрооперации	Комментарии
0000	$y_0 y_1$	$b_0 \quad I_1$	1000	$y_0 y_1$	$b_8 \quad I_5$
0001	$y_0 y_2$	b_1	1001	$y_0 y_2$	b_9
0010	$y_3 y_1$	$b_2 \quad O_1$	1010	y_5	$b_{10} \quad O_5$
0011	y_6	$b_3 \quad I_2 O_2$	1011	$y_0 y_4 y_2$	$b_{11} \quad I_6$
0100	$y_0 y_4$	$b_4 \quad I_3$	1100	y_3	$b_{12} \quad O_6$
0101	y_3	$b_5 \quad O_3$	1101	$y_0 y_2 y_1$	$b_{13} \quad I_7$
0110	$y_0 y_5 y_2$	$b_6 \quad I_4$	1110	y_4	$b_{14} \quad O_7$
0111	y_6	$b_7 \quad O_4$			

В табл. 1 I_g, O_g обозначают вход и выход ЭОЛЦ $\alpha_g \in C$ соответственно, сигнал y_0 вводится во все вершины, кроме выходов ЭОЛЦ. Для организации режима останова КМУУ необходимо использовать дополнительный сигнал, который вводится в операторные вершины, связанные с выходом конечной вершины исходной ГСА (в таблице этот сигнал не показан).

2. *Формирование разбиения Π_C .* Разбиение множества ЭОЛЦ на классы псевдоэквивалентных ЭОЛЦ осуществляется тривиальным образом путем анализа исходной ГСА Г. Один блок разбиения Π_C включает ЭОЛЦ, выходы которых связаны с входом одной и той же вершины ГСА Г.

В рассматриваемом примере $\Pi_C = \{B_1, B_2, B_3\}$, где $B_1 = \{\alpha_1, \alpha_2, \alpha_3\}$, $B_2 = \{\alpha_4, \alpha_5\}$, $B_3 = \{\alpha_6, \alpha_7\}$.

3. *Оптимальное кодирование ЭОЛЦ.* Метод кодирования псевдоэквивалентных ЭОЛЦ подобен методу кодирования псевдоэквивалентных состояний автоматов Мура [10], минимизирующему число термов в системе функций возбуждения памяти МПА.

Для нашего примера результаты оптимального кодирования представлены в виде карты Карно (рис. 4). Видно, что ЭОЛЦ в рассматриваемом примере имеют следующие коды: $K(\alpha_1) = 000$, $K(\alpha_2) = 001$, $K(\alpha_3) = 011$, $K(\alpha_4) = 100$, $K(\alpha_5) = 101$, $K(\alpha_6) = 111$, $K(\alpha_7) = 110$. Коды классов $B_i \in \Pi_C$ определяются как результаты склеивания кодов входящих в них ЭОЛЦ с учетом несущественных наборов из карты Карно. Классы $B_i \in \Pi_C$ имеют коды $K(B_1) = 0^{**}$, $K(B_2) = 10^*$, $K(B_3) = 11^*$.

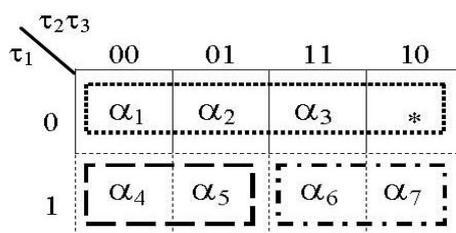


Рис. 4. Карта Карно с оптимальным кодированием псевдоэквивалентных ЭОЛЦ

4. *Формирование исходной прямой структурной таблицы КМУУ.* Эта таблица задает закон поведения автомата адресации микрокоманд. Таблица включает столбцы $\alpha_g, K(\alpha_g), \alpha_i, K(\alpha_i), A(I_i), X_h, \Phi_h, \Psi_h, h$. Здесь $A(I_i)$ – адрес входа ЭОЛЦ $\alpha_i \in C$, в который есть переход из выхода ЭОЛЦ $\alpha_g \in B_i$; X_h – входной сигнал, определяющий переход $\langle O_g, I_i \rangle$ и равный конъюнкции некоторых элементов множества логических условий; Φ_h – множество функций возбуждения памяти автомата, принимающих единичное значение для формирования в регистре RG кода $K(\alpha_i)$; h – номер строки таблицы ($h = 1, \dots, H$). В рассматриваемом примере прямая структурная таблица КМУУ имеет 16 строк (табл. 2).

Таблица 2

Исходная прямая структурная таблица КМУУ U_2

α_g	$K(\alpha_g)$	α_t	$K(\alpha_t)$	$A(I_t)$	X_h	Φ_h	Ψ_h	h
α_1	000	α_4	100	0110	x_3	D_1	$D_5 D_6$	1
		α_5	101	1000	$\overline{x_3}$	$D_1 D_3$	D_4	2
α_2	001	α_4	100	0110	x_3	D_1	$D_5 D_6$	3
		α_5	101	1000	$\overline{x_3}$	$D_1 D_3$	D_4	4
α_3	011	α_4	100	0110	x_3	D_1	$D_5 D_6$	5
		α_5	101	1000	$\overline{x_3}$	$D_1 D_3$	D_4	6
α_4	100	α_6	111	1011	x_4	$D_1 D_2 D_3$	$D_4 D_6 D_7$	7
		α_7	110	1101	$\overline{x_4}$	$D_1 D_2$	$D_4 D_5 D_7$	8
α_5	101	α_6	111	1011	x_4	$D_1 D_2 D_3$	$D_4 D_6 D_7$	9
		α_7	110	1101	$\overline{x_4}$	$D_1 D_2$	$D_4 D_5 D_7$	10
α_6	111	α_1	000	0000	x_1	–	–	11
		α_2	001	0011	$\overline{x_1 x_2}$	D_3	$D_6 D_7$	12
		α_3	011	0100	$\overline{x_1 x_2}$	$D_2 D_3$	D_5	13
α_7	110	α_1	000	0000	x_1	–	–	14
		α_2	001	0011	$\overline{x_1 x_2}$	D_3	$D_6 D_7$	15
		α_3	011	0100	$\overline{x_1 x_2}$	$D_2 D_3$	D_5	16

5. *Формирование преобразованной таблицы переходов.* Эта таблица задает закон функционирования схемы СС КМУУ U_2 . Предлагаемый метод ее формирования включает следующие шаги преобразования исходной прямой структурной таблицы:

- замену столбца α_g столбцом B_i ;
- замену столбца $K(\alpha_g)$ столбцом $K(B_i)$;
- замену ЭОЛЦ $\alpha_g \in B_i$ и ее кода классом $B_i \in \Pi_C$ и кодом $K(B_i)$ соответственно;
- удаление из таблицы эквивалентных подтаблиц, чтобы в результирующей таблице каждый класс $B_i \in \Pi_C$ был представлен только одной подтаблицей;
- удаление столбцов $A(I_g)$ и Ψ_h , так как адрес входа должен формироваться схемой ФА.

Для рассматриваемого примера преобразованная таблица переходов КМУУ имеет семь строк (табл. 3).

Таблица 3

Преобразованная таблица переходов КМУУ U_2

B_i	$K(B_i)$	α_t	$K(\alpha_t)$	X_h	Φ_h	h
B_1	0**	α_4	100	x_3	D_1	1
		α_5	101	$\overline{x_3}$	$D_1 D_3$	2
B_2	10*	α_6	111	x_4	$D_1 D_2 D_3$	3
		α_7	110	$\overline{x_4}$	$D_1 D_2$	4
B_3	11*	α_1	000	x_1	–	5
		α_2	001	$\overline{x_1 x_2}$	D_3	6
		α_3	011	$\overline{x_1 x_2}$	$D_2 D_3$	7

6. *Формирование таблицы преобразователя кодов.* Эта таблица необходима для проектирования схемы формирования функции возбуждения счетчика СТ. Таблица включает столбцы $\alpha_g, K(\alpha_g), A(I_g), \Psi_g, g$. Здесь $B_i \in \Pi_C$ – блок разбиения множества ЭОЛЦ, включающий ЭОЛЦ $\alpha_g \in C$; $A(I_g)$ – адрес входа ЭОЛЦ $\alpha_g \in C$ из таблицы содержимого управляющей памяти; Ψ_g – столбец, содержащий функции возбуждения СТ, принимающие единичное значение для загрузки в него адреса $A(I_g)$; g – номер строки таблицы, ($g = \overline{1, G_0}$). В нашем случае таблица преобразователя кодов имеет семь строк (табл. 4).

Таблица 4

Таблица преобразователя кодов КМУУ U_2

α_g	$K(\alpha_g)$	B_i	$K(B_i)$	$A(I_g)$	Ψ_g	g
α_1	000	B_1	0**	0000	–	1
α_2	001		0**	0011	$D_3 D_4$	2
α_3	011		0**	0100	D_2	3
α_4	100	B_2	10*	0110	$D_2 D_3$	4
α_5	101		10*	1000	D_1	5
α_6	111	B_3	11*	1011	$D_1 D_3 D_4$	6
α_7	110		11*	1101	$D_1 D_2 D_4$	7

7. *Синтез функциональной схемы КМУУ U_2 .* Схема СС реализуется на ПЛУ по системе (2), которая формируется из преобразованной таблицы переходов КМУУ. Схема ФА реализуется с использованием ППЗУ по таблице преобразователя кодов, схема СМ реализуется на ППЗУ по таблице содержимого управляющей памяти. Проблемы, возникающие при синтезе подобных схем, достаточно освещены в литературе [5, 6] и выходят за рамки данной работы.

Из сравнения табл. 2 и 3 видно, что использование метода оптимального кодирования ЭОЛЦ позволяет значительно уменьшить число термов в системе функций возбуждения памяти МПА адресации. Естественно, что степень уменьшения числа термов зависит от характеристик исходной ГСА.

Заключение

Предложенный метод преобразования кодов ЭОЛЦ в адреса их входов позволяет применить разделение кодов при любых характеристиках интерпретируемой ГСА. Применение метода кодирования псевдоэквивалентных ЭОЛЦ позволяет минимизировать число строк таблицы переходов автомата адресации микрокоманд и тем самым минимизировать число термов в системе функций возбуждения памяти этого автомата. Как уже отмечалось, наличие преобразователя кодов уменьшает быстродействие схемы КМУУ. Исследования авторов показали, что максимальный выигрыш от совместного применения этих методов достигает 20–25% по сравнению с известными методами синтеза КМУУ [4, 7].

Список литературы

1. Складов В.А. Синтез автоматов на матричных БИС. – Мн.: Наука и техника, 1984. – 256 с.
2. DeMicheli G. Synthesis and optimization of digital circuits, 1994. – 256 с.
3. Синтез цифровых устройств / Под ред. проф. Т. Лубы. – Варшава: WKL, 2003. – 296 с.
4. Баркалов А.А., Палагин А.В. Синтез микропрограммных устройств управления. – Киев: ИК НАН Украины, 1997. – 136 с.
5. Соловьев В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем. – М.: Горячая линия–Телеком, 2001. – 636 с.
6. Грушницкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ, 2002. – 636 с.

7. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах. – Донецк: ДонНТУ, 2002. – 262 с.
8. Баркалов А.А. Синтез операционных устройств. – Донецк: ДонНТУ, 2003. – 306 с.
9. Varanov S. Logic synthesis for control automata. – Kluwer academic publishers, 1994. – 312 p.
10. Баркалов А.А. Принципы оптимизации логической схемы микропрограммного автомата Мура // Кибернетика и системный анализ. – 1998. – № 1. – С. 65–72.

Поступила 16.11.04

*Зеленогурский университет,
Польша, Зеленая Гора, Подгорная, 50
e-mail: a.barkalov@jie.uz.zgora.pl
r.wisniewski@jie.uz.zgora.pl*

A.A. Barkalov, R. Wisniewski

COMPOSITIONAL MICROPROGRAM CONTROL UNIT SYNTHESIS WITH OPTIMAL CODING OF OPERATIONAL LINEAR CHAINS

The method of decreasing the hardware amount in the compositional microprogram control units with sharing of the codes is proposed. The method is based on the transformation of the pairs <code of operational linear chain, address of component> into the address of the input of operational linear chain. An example of application of proposed method is given.