

УДК 681.324

А.А. Баркалов, Л.А. Титаренко, Я.А. Бегановский

**СИНТЕЗ УСТРОЙСТВА УПРАВЛЕНИЯ С МОДИФИЦИРОВАННЫМИ
ОПЕРАТОРНЫМИ ЛИНЕЙНЫМИ ЦЕПЯМИ**

Предлагается метод оптимизации числа макроячеек PAL в схеме композиционного микропрограммного устройства управления. Метод основан на введении дополнительных микрокоманд с кодами классов псевдоэквивалентных операторных линейных цепей и использует имеющуюся избыточность встроенных блоков памяти, реализующих управляющую память устройства управления. Дается пример применения предложенного метода.

Введение

Устройство управления (УУ) является одним из важнейших блоков любой цифровой системы, координирующих взаимодействие остальных ее блоков [1, 2]. В настоящее время для реализации схем УУ широко применяются программируемые логические устройства типа CPLD (complex programmable logic devices) [3, 4]. Одной из традиционно актуальных задач в области синтеза УУ является оптимизация аппаратных затрат в схеме устройства [5]. Решение этой задачи позволяет уменьшить стоимость, а также повысить функциональные возможности цифровой системы, реализуемой в виде системы-на-кристалле (SoC – system-on-a-chip) [6]. Одним из путей оптимизации схемы УУ может быть выбор структуры устройства, наиболее соответствующей особенностям интерпретируемого алгоритма управления [7]. Например, композиционное микропрограммное УУ (КМУУ) наиболее подходит для интерпретации линейных алгоритмов управления [5, 8], давая средние характеристики стоимости и производительности по сравнению с реализациями УУ в виде автоматов с жесткой либо программируемой логикой. Хорошо известно, что число макроячеек PAL (programmable array logic) в SoC, базирующейся на технологии CPLD, может быть уменьшено благодаря минимизации числа термов в дизъюнктивных нормальных формах (ДНФ) реализуемых булевых функций [3]. В настоящей работе предлагается метод минимизации числа макроячеек PAL в логической схеме КМУУ, который основывается на введении дополнительных микрокоманд в интерпретируемый алгоритм управления.

1. Основы композиционных микропрограммных устройств управления

Пусть алгоритм управления цифровой системы задан граф-схемой алгоритма (ГСА) Γ [9] с множеством вершин $B = \{b_0, b_E\} \cup E_1 \cup E_2$ и множеством дуг E . Здесь b_0 – начальная вершина, b_E – конечная вершина, E_1 – множество операторных вершин и E_2 – множество условных вершин. Операторная вершина $b_1 \in E_1$ содержит набор микроопераций $Y(b_q) \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ – множество микроопераций операционного автомата цифровой системы. Условная вершина $b_q \in E_2$ содержит элемент множества логических условий $X = \{x_1, \dots, x_L\}$. Согласно [5] ГСА Γ называется линейной ГСА (ЛГСА), если число $M = |E_1|$ ее операторных вершин превышает 75 % общего числа операторных и условных вершин.

Пусть для ЛГСА Γ сформировано множество $C = \{\alpha_1, \dots, \alpha_G\}$, где $\alpha_g \in C$ – операторная линейная цепь (ОЛЦ). Произвольная ОЛЦ α_g является последовательностью операторных вершин $\langle b_{g1}, \dots, b_{gFg} \rangle$, в которой для каждой пары соседних компонент существует дуга

$\langle b_{gi}, b_{gi+1} \rangle \in E$ ($i = 1, \dots, F_g - 1$). Каждая ОЛЦ α_g имеет только один выход O_g и произвольное число входов. Формальные определения ОЛЦ, ее входов и выхода можно найти, например, в работах [7, 8]. Пусть каждая вершина $b_q \in E_1$ соответствует микрокоманде MI_q с адресом $A(b_q)$, и пусть этот адрес имеет

$$R = \lceil \log_2 M \rceil \tag{1}$$

разрядов.

Выполним естественную адресацию [5, 8] микрокоманд MI_q , где $b_q \in E_1$. При этом должно выполняться условие

$$A(b_{gi+1}) = A(b_{gi}) + 1, \tag{2}$$

где $g = 1, \dots, G$; $i = 1, \dots, F_g$. Для подобной адресации может быть применен алгоритм из работы [5].

Если адресация микрокоманд выполнена так, как описано выше, то для интерпретации ЛГСА Γ может быть использовано КМУУ U_1 (рис. 1), рассмотренное в работе [8].

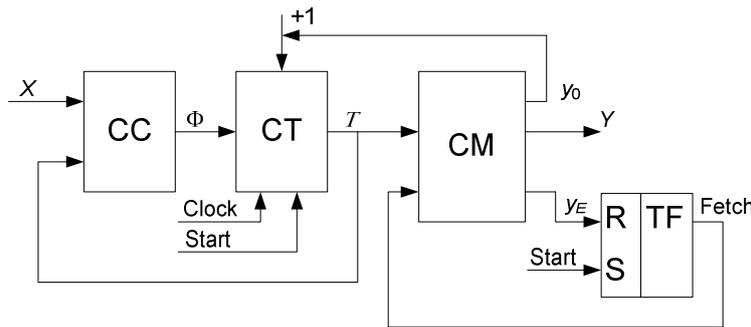


Рис. 1. Структурная схема КМУУ U_1

КМУУ функционирует следующим образом. Если сигнал $Start = 1$, то в счетчик адреса микрокоманд СТ загружается адрес первой микрокоманды (МК) микропрограммы, соответствующей интерпретируемому алгоритму управления. Одновременно триггер TF устанавливается в единичное состояние и $Fetch = 1$. Это инициализирует выборку МК из управляющей памяти СМ. Очередная МК выбирается из СМ. Если она соответствует вершине $b_q \neq O_g$, то одновременно с микрооперациями $Y(b_q)$ формируется сигнал $y_0 = 1$. Если $y_0 = 1$, то сигнал Clock вызывает увеличение содержимого счетчика на единицу, тем самым адресуется следующая микрокоманда MI_j , где $\langle b_q, b_j \rangle \in E$. Если $b_q = O_g$, то сигнал y_0 не вырабатывается и адрес следующей МК (адрес перехода) генерируется схемой СС, которая формирует функции возбуждения триггеров счетчика СТ:

$$\Phi = \Phi(T, X). \tag{3}$$

В системе (3) $T = \{T_1, \dots, T_R\}$ – множество внутренних переменных, соответствующих разрядам адреса микрокоманды. Если микрокоманда MI_q считана из памяти и $\langle b_q, b_E \rangle \in E$, то $y_E = 1$,

триггер TF устанавливается в нулевое состояние, Fetch = 0 и функционирование КМУУ U_1 прекращается.

Если логическая схема КМУУ U_1 реализована как часть SoPC (system-on-a-programmable-chip) [6], то схема СС может быть реализована с помощью макроячеек PAL структуры CPLD, а управляющая память – с помощью встроенных блоков памяти ЕМВ (embedded memory block). Положительной чертой КМУУ U_1 является минимально возможное число выходов схемы СС по сравнению с другими организациями КМУУ [5, 7, 8]. Это дает потенциальную возможность минимизации числа макроячеек в схеме СС. Один из путей минимизации числа макроячеек в схеме СС – уменьшение числа термов в системе функций (3) КМУУ U_1 . Этому эффекта можно добиться за счет использования псевдоэквивалентных ОЛЦ (ПОЛЦ), которые являются аналогами псевдоэквивалентных состояний автомата Мура [10].

Операторные линейные цепи $\alpha_i, \alpha_j \in C$ называются ПОЛЦ, если их выходы соединены с входом одной и той же вершины ГСА Γ [5]. Пусть $\Pi_C = \{B_1, \dots, B_I\}$ – разбиение множества $C' \subset C$ на классы ПОЛЦ, где $\alpha_g \notin C'$, если выход этой ОЛЦ связан с входом конечной вершины b_E . Разбиение выполняется тривиальным образом на основе определения ПОЛЦ, т. е. каждый его класс включает ОЛЦ, выходы которых связаны с входом одной и той же вершины ЛГСА. Закодируем класс $B_i \in \Pi_C$ двоичным кодом $K(B_i)$, имеющим R_i разрядов, где

$$R_i = \lceil \log_2 I \rceil. \quad (4)$$

Число термов системы (3) можно уменьшить до числа термов в системе функций возбуждения эквивалентного МПА Мили благодаря использованию преобразователя адреса (АТ) [7, 8]. Этот блок преобразовывает адреса выходов ПОЛЦ $\alpha_g \in B_i$ в код $K(B_i)$, где $i = 1, \dots, I$. Однако такой подход ведет к необходимости применения дополнительных ресурсов SoPC для реализации схемы АТ. Этот подход имеет смысл, если суммарная стоимость схем СС и АТ в результирующей схеме будет меньше, чем стоимость схемы СС в КМУУ U_1 .

2. Основная идея предлагаемого метода

Управляющая память КМУУ U_1 имеет 2^R слов и только M из этих слов содержат микрокоманды интерпретируемого алгоритма. Если выполняется условие

$$2^R - M \geq |C'|, \quad (5)$$

то каждая ОЛЦ $\alpha_g \in C'$ может быть модифицирована введением дополнительной вершины O_g . В этом случае микропрограмма включает два типа (формата) микрокоманд (рис. 2).



Рис. 2. Форматы микрокоманд

Первый бит в обоих форматах соответствует переменной y_0 , поле FY (рис. 2, а) содержит информацию о формируемых микрооперациях, поле FB содержит код $K(B_i)$. Все дополнитель-

ные микрокоманды имеют формат, показанный на рис. 2, б. Вершина O_g содержит код $K(B_i)$, если $\alpha_g \in B_i$. Такой подход позволяет получить схему КМУУ U_2 с модифицированными ОЛЦ (рис. 3).

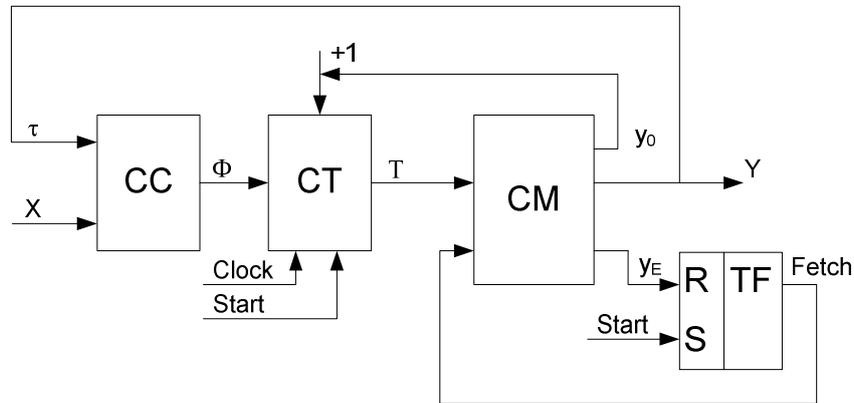


Рис. 3. Структурная схема КМУУ U_2

Принципы функционирования КМУУ U_1 и U_2 идентичны, но функции возбуждения триггеров СТ в КМУУ U_2 зависят от переменных $\tau_r \in \tau = \{\tau_1, \dots, \tau_{R_1}\}$, кодирующих классы $B_i \in \Pi_C$:

$$\Phi = \Phi(\tau, X). \tag{6}$$

Источником переменных $\tau_r \in \tau$ является поле ФВ. Необходимо подчеркнуть, что операционный автомат [1, 2] цифровой системы будет находиться в ждущем состоянии, если счетчик СТ содержит адрес дополнительной микрокоманды.

Предлагаемый в настоящей работе метод синтеза КМУУ U_2 включает этапы:

- формирования множества ОЛЦ S линейной ГСА Γ ;
- модификации ОЛЦ $\alpha_g \in C'$;
- естественной адресации микрокоманд;
- кодирования классов псевдоэквивалентных ОЛЦ $B_i \in \Pi_C$;
- формирования содержимого управляющей памяти;
- формирования таблицы переходов КМУУ;
- реализации схемы СС с помощью макроячейки PAL и реализации управляющей памяти с помощью блоков ЕМВ.

3. Пример применения предложенного метода

Обозначим символом $U_i(\Gamma_j)$ тот факт, что КМУУ U_i интерпретирует линейную ГСА Γ_j . Рассмотрим пример синтеза КМУУ $U_2(\Gamma_1)$, ЛГСА Γ_1 которой показана на рис. 4.

В случае ЛГСА Γ_1 можно сформировать множество $C = \{\alpha_1, \dots, \alpha_5\}$, где $\alpha_1 = \langle b_1 \rangle$, $I_1^1 = b_1$; $\alpha_2 = \langle b_2, b_3, b_4 \rangle$, $I_2^1 = b_2$; $\alpha_3 = \langle b_5, b_6 \rangle$, $I_3 = b_5$; $\alpha_4 = \langle b_7, b_8 \rangle$, $I_4^1 = b_7$, $I_4^2 = b_8$; $\alpha_5 = \langle b_9, b_{10} \rangle$,

$I_5^1 = b_9$. Очевидно, что $\alpha_5 \notin C'$, $|C'| = 4$. В рассматриваемом примере $M = 10$, $2^R = 16$, т. е. условие (5) выполняется и применение предложенного метода имеет смысл.

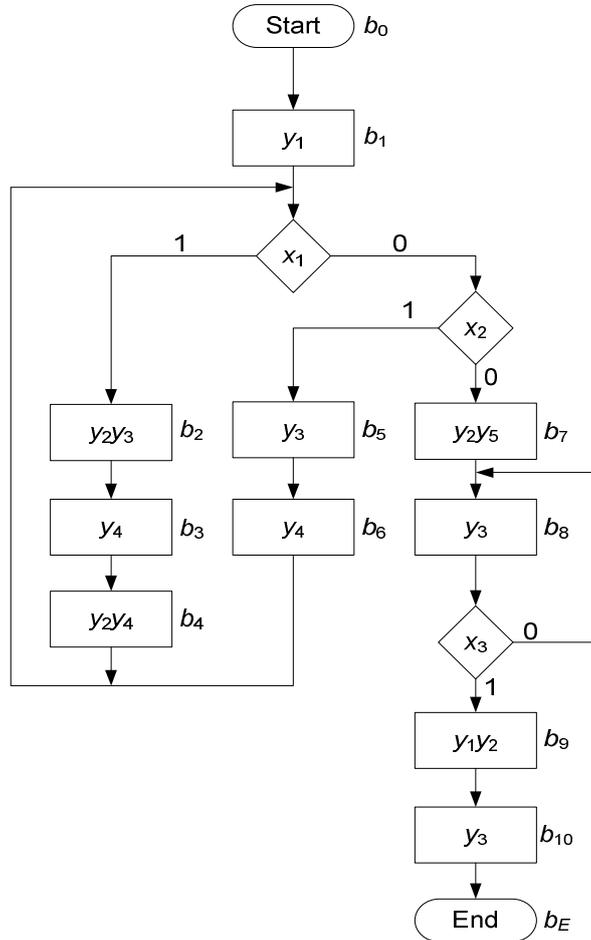


Рис. 4. Исходная граф-схема алгоритма Γ_1

Введем компоненты O_g в ОЛЦ $\alpha_g \in C'$. Это приводит к модифицированным ОЛЦ $\alpha_1 = \langle b_1, O_1 \rangle$, $\alpha_2 = \langle b_2, b_3, b_4, O_2 \rangle$, $\alpha_3 = \langle b_5, b_6, O_3 \rangle$, $\alpha_4 = \langle b_7, b_8, O_4 \rangle$. Естественная адресация микрокоманд (2) выполняется с помощью метода [5], что в рассматриваемом примере дает следующие адреса (табл. 1).

Таблица 1
Адресация микрокоманд КМУУ $U_2(\Gamma_1)$

$T_3T_4 \backslash T_1T_2$	00	01	10	11
00	A(b ₁)	A(b ₄)	A(O ₃)	A(b ₉)
01	A(O ₁)	A(O ₂)	A(b ₇)	A(b ₁₀)
10	A(b ₂)	A(b ₅)	A(b ₈)	*
11	A(b ₃)	A(b ₆)	A(O ₄)	*

В случае ЛГСА Γ_1 формируется разбиение $\Pi_C = \{B_1, B_2\}$, в котором $B_1 = \{\alpha_1, \alpha_2, \alpha_3\}$, $B_2 = \{\alpha_4\}$. Это означает, что $I = 2$, $R_1 = 1$, $\tau = \{\tau_1\}$. Пусть $K(B_1) = 0$, $K(B_2) = 1$. В случае КМУУ $U_2(\Gamma_1)$ микропрограмма занимает 14 ячеек блока ЕМВ. Первые четыре слова управляющей памяти КМУУ $U_2(\Gamma_1)$ представлены в табл. 2.

Таблица 2
Фрагмент содержимого управляющей памяти КМУУ $U_2(\Gamma_1)$

Адрес $T_1T_2T_3T_4$	y_0	FУ						Примеч.	
		FB y_1/τ_1	Микрооперации					b_q	B_i
			y_2	y_3	y_4	y_5	y_E		
0000	1	1	0	0	0	0	0	b_1	B_1
0001	0	0	*	*	*	*	*	O_1	B_1
0010	1	0	1	1	0	0	0	b_2	B_1
0011	1	0	0	0	1	0	0	b_3	B_1

Второй разряд слова СМ соответствует либо микрооперации y_1 (а именно $y_0 = 1$), либо переменной τ_1 (а именно $y_0 = 0$). Ждущее состояние операционного автомата может быть организовано путем прерывания поступления импульсов на его вход синхронизации при $y_0 = 0$.

Для формирования таблицы переходов КМУУ U_2 необходимо использовать систему формул перехода [9]. В нашем случае она имеет следующий вид:

$$\begin{aligned}
 B_1 &\rightarrow x_1b_2 \vee \bar{x}_1x_2b_5 \vee \bar{x}_1\bar{x}_2b_7; \\
 B_2 &\rightarrow x_3b_9 \vee \bar{x}_3b_8.
 \end{aligned}
 \tag{7}$$

Таблица переходов содержит столбцы B_i , $K(B_i)$, b_q , $A(b_q)$, X_h , Φ_h , h . Итак, система (7) является основой для формирования табл. 3, из которой следует, что в данном случае $\Phi = \{D_1, \dots, D_4\}$. Таблица переходов является основой для формирования системы (6). Например, из табл. 3 можно получить уравнение $D_3 = \bar{\tau}_1x_1 \vee \bar{\tau}_1\bar{x}_1x_2 \vee \tau_1\bar{x}_3$.

Таблица 3
Таблица переходов КМУУ $U_2(\Gamma_1)$

B_i	$K(B_i)$	b_q	$A(b_q)$	X_h	Φ_h	h
B_1	0	b_2	0010	x_1	D_3	1
		b_5	0110	\bar{x}_1x_2	D_2D_3	2
		b_7	1001	$\bar{x}_1\bar{x}_2$	D_1D_4	3
B_2	1	b_9	1100	x_3	D_1D_2	4
		b_8	1010	x_3	D_1D_3	5

Реализация схемы КМУУ U_2 сводится к реализации системы (6) с помощью макроячеек CPLD и реализации управляющей памяти СМ с помощью блоков ЕМВ на основе таблицы со-

держимого памяти. Эти вопросы достаточно хорошо рассмотрены в литературе и выходят за рамки данной статьи.

Необходимо отметить, что число термов в системе (6) равняется числу строк $H_2(\Gamma)$ таблицы переходов КМУУ. В рассматриваемом примере $H_2(\Gamma_1) = 5$, а таблица переходов КМУУ $U_1(\Gamma_1)$ имеет $H_1(\Gamma_1) = 11$ строк. За счет этого достигается минимизация оборудования в схеме СС устройства $U_2(\Gamma_1)$ по сравнению с аппаратурными затратами в схеме СС устройства управления $U_1(\Gamma_1)$.

Заключение

Предлагаемый метод модификации ОЛЦ позволяет уменьшить количество макроячеек PAL в комбинационной части КМУУ. Оптимизация основывается на естественной избыточности блоков памяти, используемых для реализации управляющей памяти КМУУ. Такой подход позволяет исключить любые дополнительные блоки в схеме КМУУ, т. е. оптимизация не связана с введением преобразователя адресов АТ.

Проведенные исследования показали, что уменьшение аппаратурных затрат пропорционально коэффициенту

$$\eta = \frac{H_1(\Gamma)}{H_2(\Gamma)}. \quad (8)$$

Величина η зависит от характеристик конкретной ЛГСА Γ . Этот параметр равен отношению длин прямых структурных таблиц эквивалентных автоматов Мура и Мили, которые могут быть использованы для интерпретации ГСА Γ .

Основным недостатком предлагаемого метода является увеличение времени функционирования цифровой системы за счет появления ждущих тактов работы операционного автомата системы. Следовательно, метод может быть применен, если временные характеристики результирующей системы удовлетворяют начальным ограничениям. Проведенные исследования показали, что предложенный метод позволяет на 18–22 % уменьшить аппаратурные затраты по сравнению с КМУУ без модификации операторных линейных цепей.

Список литературы

1. De Micheli, G. Synthesis and Optimization of Digital Circuits / G. De Micheli. – N.-Y.: McGraw Hill, 1994. – 578 p.
2. Gajski, D. Principles of Digital Design / D. Gajski. – N.-Y.: Prentice Hall, 1997. – 418 p.
3. Соловьев, В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем / В.В. Соловьев. – М.: Горячая линия–Телеком, 2001. – 636 с.
4. Kania, D. Synteza logiczna przeznaczona dla matrycowych struktur programowalnych typu PAL / D. Kania // Zeszyty Naukowe Politechniki Śląskiej. – Gliwice, 2004. – 240 p.
5. Баркалов, А.А. Синтез устройств управления на программируемых логических устройствах / А.А. Баркалов. – Донецк: ДНТУ, 2002. – 262 с.
6. Maxfield, C. The Design Warrior's Guide to FPGAs / C. Maxfield. – FL, USA, Orlando: Academic Press, Inc., 2004. – 542 p.
7. Adamski, M. Architectural and sequential synthesis of digital devices / M. Adamski, A. Barkalov. – Zielona Góra: University of Zielona Góra Press, 2006. – 199 p.
8. Barkalov, A. Design of control units with programmable logic / A. Barkalov, M. Węgrzyn. – Zielona Góra: University of Zielona Góra Press, 2006. – 150 p.
9. Baranov, S. I. Logic Synthesis of Control Automata / S. I. Baranov. – Boston: Kluwer Academic Publishers, 1994. – 312 p.

10. Баркалов, А.А. Принципы оптимизации логической схемы автомата Мура / А.А. Баркалов // Кибернетика и системный анализ. – 1998. – № 1. – С. 65–72.

Поступила 19.12.06

*Зеленогурский университет,
Польша, Зеленая Гора, Подгорная, 50
e-mail: a.barkalov@iie.uz.zgora.pl
l.titarenko@iie.uz.zgora.pl
j.bieganowski@iie.uz.zgora.pl*

A.A. Barkalov, L.A. Titarenko, J.A. Bieganowski

**SYNTHESIS OF CONTROL UNIT
WITH MODIFIED OPERATIONAL LINEAR CHAINS**

The method of optimization of amount of PAL macrocells in the circuit of compositional microprogram control unit is proposed. The method is based on introducing additional microinstructions with codes of the classes of pseudoequivalent operational linear chains. The method uses the natural redundancy of embedded memory blocks to implement the control memory of control unit. An example of application of the method is given.