

УДК 681.325

Л.Д. Черемисинова

ОЦЕНКА ЭНЕРГОПОТРЕБЛЕНИЯ ПРИ ОПТИМИЗАЦИИ ДВУХУРОВНЕВЫХ КМОП-СХЕМ

Анализируются критерии оценки энергопотребления синхронных двухуровневых И-ИЛИ-схем, реализуемых по КМОП-технологии, на этапе логического синтеза. Рассматриваются подходы, позволяющие дать сравнительные прогнозные оценки вариантов оптимизации схем по критерию энергопотребления. При минимизации энергопотребления на логическом уровне предполагается, что схемотехнические решения оптимизируемой схемы, такие, как частота синхронизации и напряжение питания и земли, фиксированы.

Введение

Быстрый рост плотности и размеров кристаллов больших интегральных схем (БИС) приводит к чрезмерному рассеиванию тепла и соответственно росту затрат на охлаждение и снижение шума. Это обстоятельство является существенным препятствием на пути повышения плотности монтажа БИС, приводя к перегреву, нарушению функциональности и сокращению времени безотказной работы [1–3]. От величины потребляемой микросхемой мощности зависят мощность источника питания, размер шин питания, требования к системе охлаждения, время разрядки аккумуляторной батареи и, в конечном счете, стоимость и надежность вычислительных систем, а также время работы мобильных систем между перезарядками батареи. В последние годы фактор минимизации энергопотребления при проектировании интегральных схем стал играть такую же важную роль, как площадь и быстродействие. В большинстве случаев при проектировании электронных устройств приходится добиваться высокой эффективности при ограниченном потреблении электроэнергии.

Снижение энергопотребления проектируемой схемы может обеспечиваться на разных уровнях проектирования: от алгоритмического и системного до топологического и схемного. САПР микроэлектронных схем должны иметь средства, позволяющие оценить энергопотребление схем в процессе их проектирования и выбрать наименее энергоемкий вариант схемы, чтобы избежать дорогостоящей процедуры их перепроектирования на стадии изготовления.

Характеристики (сложность, энергопотребление) спроектированной схемы существенно зависят от характеристик проектных решений на каждом из уровней проектирования, так как на каждом этапе преобразования подвергается схема, полученная на предшествующих этапах, и просчеты в качестве схемы, допущенные на ранних уровнях, не могут быть в общем случае далее компенсированы в полной мере. При этом чем более ранним является этап, тем более важно получать на нем более качественные решения.

В частности, синтез логической схемы традиционно разбивается на этапы технологически независимой оптимизации и отображения полученной схемы в технологический базис. Подход к технологически независимой оптимизации, широко используемый в системах логического проектирования микроэлектронных устройств, включает в себя, как правило, минимизацию функций реализуемых логических описаний в классе ДНФ. Выполнение данного этапа обусловлено тем, что минимизация позволяет сократить исходное задание (иногда довольно существенно). Эта задача хорошо формализуется, и в настоящее время имеются эффективные программные средства, позволяющие оптимизировать системы булевых функций практической размерности. Сложность и оценка энергопотребления синтезированной многоуровневой логической схемы в технологическом базисе существенным образом определяются полученной в результате минимизации двухуровневой И-ИЛИ-схемой. Оптимизация этих характеристик на последующих за минимизацией этапах ограничена функциональностью двухуровневой И-ИЛИ-схемы, а существенное их улучшение требует иногда и получения другого варианта схемы.

В настоящей работе рассматриваются задачи энергосберегающего синтеза статических КМОП-схем [1, 4] и оценки энергопотребления на этапе оптимизации двухуровневых схем, позволяющие обеспечить минимум энергопотребления при их реализации на кристалле СБИС. Исследуется случай синхронной реализации схем, когда основные схемотехнические решения проектируемой схемы, такие, как частота синхронизации и напряжение питания, фиксированы. Для оценки энергопотребления в процессе оптимизации двухуровневых схем используется статический метод (в противовес динамическому методу, в основе которого лежит моделирование), основанный на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы.

Проблема оценки энергопотребления статических КМОП-схем (по сравнению с динамическими) заключается в том, что возникновение энергопотребляющих переходов элементов такой схемы зависит не только от состояния их входов в текущий момент времени, но и от их состояний в предшествующий момент времени. Компоненты СБИС, выполненные по КМОП-технологии, потребляют подавляющую часть необходимой для их функционирования энергии во время переключения [1–4, 14, 15]. Отсюда следует, что более активные в переключательном плане схемы потребляют больший объем энергии. Таким образом, энергопотребление существенно зависит от переключательной активности элементов схемы, а она, в свою очередь, определяется последовательностью подаваемых входных воздействий на КМОП-схемы, т. е. динамикой функционирования.

В работе анализируются основные из известных критериев оценок, позволяющие оценить энергопотребление схем в процессе их синтеза и направить синтез по пути получения энергоэффективных решений. Рассматриваются те оценки, которые тесно увязаны с энергопотреблением реализованной на кристалле СБИС схемы и позволяют давать сравнительные оценки вариантов оптимизации схемы по этому критерию в процессе логического синтеза. Под оценкой энергопотребления далее понимается оценка среднего значения энергии, рассеиваемой микросхемой (эта оценка существенно отличается от оценки мощности, максимально потребляемой мгновенно).

1. Оценка мощности, потребляемой КМОП-схемой

В общем случае мощность рассеивания энергии логической схемой является сложной функцией, зависящей от задержек распространения сигналов через схему, частоты синхронизации, технологических параметров изготовления, топологии микросхемы, а в случае КМОП-технологии – от последовательности прилагаемых к схеме входных воздействий.

Потребляемая микросхемой энергия состоит из двух частей: расходуемой на ее функционирование и рассеиваемой в виде тепла. При обсуждении вопроса, какая энергия (мощность) потребляется при работе микросхемы, понятия «потребляемая» и «рассеиваемая», как правило, считаются синонимами. В принципе, следует различать понятия энергии и мощности. Потребляемая микросхемой мощность зависит от тактовой частоты и может быть сокращена за счет ее уменьшения. Однако в этом случае на выполнение одних и тех же вычислений потребуется большее время и соответственно расход мощности питающей батареи не уменьшится. Отсюда более правильно было бы говорить о важности снижения энергопотребления, а не потребляемой мощности, но поскольку далее считается, что тактовая частота проектируемой схемы неизменна, снижение потребляемой мощности означает и снижение энергопотребления.

В КМОП-технологии всю рассеиваемую микросхемой мощность можно разделить на статическую и динамическую составляющие. Статическая составляющая обусловлена наличием статических проводящих путей между шинами питания (токов утечки). Она присутствует даже тогда, когда схема бездействует – находится в режиме ожидания. У большинства хорошо спроектированных КМОП-схем эта составляющая энергопотребления очень мала. Именно это и делает их привлекательными для портативных вычислительных систем: во время пауз в их работе потребляется очень небольшая мощность.

Около 80 % всей рассеиваемой КМОП-схемой энергии приходится на ее динамическую составляющую [5], порождаемую нестационарным поведением узлов схемы. Динамическая мощность рассеивается только во время переходных процессов, когда сигналы на выходах узлов схемы переключаются. Чем больше происходит переключений, тем выше динамическая

составляющая потребляемой мощности. В КМОП-технологии основной вклад в суммарную динамическую мощность вносят два фактора [2, 4–6]: чисто динамическая мощность, обусловленная зарядом и разрядом емкостной нагрузки узла, и мощность рассеивания энергии за счет сквозных токов через микросхему при переключениях в ней (обычно ее рассчитывают, используя понятие внутренней емкости микросхем). На логическом уровне последнюю составляющую можно уменьшить за счет минимизации площади, занимаемой схемой на кристалле СБИС. Далее будем считать, что целью является выбор схемы (среди равноценных по критерию площади), обеспечивающей минимум динамической составляющей энергопотребления.

Согласно упрощенной модели энергия рассеивается КМОП-микросхемой всякий раз, когда изменяется сигнал на ее выходе. Средняя величина мощности, рассеиваемой на выходе синхронной микросхемы, выражается известным соотношением [1, 4]

$$P_{dyn} = \frac{1}{2} V_{dd}^2 f_{clk} E_s C_L, \quad (1)$$

где V_{dd} – напряжение питания; f_{clk} – частота синхронизации; E_s – переключательная активность выхода схемы, определяемая как математическое ожидание числа логических переходов сигнала (из 1 в 0 или из 0 в 1) за один период синхронизации; C_L – емкостная нагрузка микросхемы.

Зависимость (1) выведена на основе трех основных допущений о функционировании хорошо спроектированной КМОП-микросхемы: вся емкость КМОП-элемента сосредоточена на его выходном полюсе; ток внутри элемента течет только от источника питания к выходной емкости или от последней к земле; напряжение на выходе элемента изменяется только от значения напряжения источника питания до напряжения земли или наоборот. Данный подход игнорирует мощность, рассеиваемую: а) в процессе переключения внутренних узлов сложных КМОП-элементов; б) за счет сквозных токов через микросхему внутри КМОП-элементов; в) в результате переходных процессов («глюков», «гонок»).

Энергопотребление схемы, или величина рассеиваемой ею мощности, вычисляется как сумма величины рассеиваемой мощности всеми ее узлами [3, 5]:

$$P_s = \frac{1}{2} V_{dd}^2 f_{clk} \sum_{i=1}^n E_i C_i, \quad (2)$$

где n – число узлов в схеме (суммирование проводится по всем узлам схемы); C_i – емкостная нагрузка i -го узла; E_i – переключательная активность i -го узла схемы.

Из формулы (2) следует, что на логическом уровне, когда схемы еще нет и часто неизвестен даже технологический базис, в котором она будет реализована, энергопотребление схемы может быть снижено путем такого ее преобразования, которое обеспечивает уменьшение переключательной активности логической схемы без изменения ее функциональности.

2. Оценки энергопотребления при оптимизации двухуровневых схем

При оценке предпочтительности вариантов оптимизации схемы на логическом уровне может быть использовано изменение результирующей переключательной активности схемы при выборе этих вариантов. Такой подход к оценке энергопотребления дает возможность сравнивать варианты реализации схемы в процессе ее проектирования, что позволяет уже на логическом уровне проектировать схемы с низким энергопотреблением.

В основе методов оценки переключательной активности лежит подход, основанный на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы. Подход предполагает задание на входе схемы вероятностей переключения сигналов, отражающих частоту смены их значений, и используется для вычисления вероятностей переключения сигналов на выходах узлов схемы. Методы оценки переключательной активности основаны на распространении вероятностной информации о смене значений сигналов через всю схему, от входов к выходам, именно поэтому эти методы называют в литературе также вероятностными [7]. Вероятностный подход позволяет компактно определить возмож-

ные последовательности входных воздействий на схему и оценить энергопотребление схемы исходя из взаимного влияния входных сигналов в последовательные моменты времени.

Используемые в практике проектирования оценки интенсивности переключений схемы сигналов на полюсах выведены в предположениях:

– нулевой задержки сигнала узлами схемы, когда все переходы в схеме происходят одновременно;

– ненулевой задержки сигналов элементами схемы, что подразумевает учет взаимного влияния сигналов.

Первые оценки учитывают переходы сигналов на выходе узлов только в устойчивых состояниях, предусмотренных реализуемой узлом функцией. Предполагается, что изменения на входах схемы распространяются через все ее элементы мгновенно, а значит, и одновременно. Вторые модели оценок предполагают, что элементы схемы имеют конечные (но ненулевые) задержки, и принимают во внимание добавочные переключения, имеющие место для элементов схемы, состояние которых меняется, до перехода их в устойчивое состояние. Эти добавочные переключения не предусмотрены функцией, реализуемой узлом, и обусловлены переходными процессами («глюками» и «гонками»), которые представляют собой паразитные нежелательные переходы, происходящие во время смены значений сигналов на входе до тех пор, пока узел не установится в конечное устойчивое состояние. Гонки часто возникают в тех точках, где сходятся ветки схемы с разбалансированными по отношению друг к другу задержками относительно входа схемы (при этом сигналы поступают в разные моменты времени).

Переключения, обусловленные переходными процессами, также рассеивают энергию, не выполняя при этом предусмотренных схемой вычислений. В связи с этим переключения, вызванные сменой значения на входе схемы и предписанные функцией, реализуемой узлом, иногда называют *функциональной* активностью, а переключения, вызванные паразитными переходами, – *паразитной* активностью. Приведенные выше определения сигнальной вероятности и вероятности переключения не зависят от задержек элементов схемы, но они и не учитывают переходы, связанные с паразитной активностью внутри схемы.

Использование моделей реальных задержек существенно увеличивает время вычисления оценок переключательной активности схемы, одновременно повышая их точность. В работе [8] показано, что отношение паразитного рассеивания мощности к суммарной мощности рассеивания меняется в достаточно широких пределах для разных схем (от 9 до 38 %) и что паразитным рассеиванием мощности в случае КМОП-схем нельзя пренебрегать. Паразитная активность особенно велика в некоторых схемах обработки данных (например, в умножителях). Вычисление паразитной активности схемы в общем случае является трудной задачей и требует задания детальных параметров элементов на уровне логики и схемотехники, а также знания структуры схемы. Учитывая трудоемкость вычисления реальной переключательной активности схемы, упомянутую погрешность вычислений можно считать допустимой, особенно в случае вычисления этих оценок в процессе синтеза логической схемы.

Большая часть энергии статических КМОП-схем потребляется во время зарядки и разрядки емкостной нагрузки. Для того чтобы оценить потребление энергии логической схемой, необходимо вычислить переключательные активности ее узлов (внутренних полюсов). Оценка переключательной активности некоторого i -го узла схемы основана на вычислении вероятности p_i появления на нем сигнала 1, которая зависит от вероятностей появления данного сигнала на входных полюсах узла. При этом, как правило, в известных методах вычисления вероятностей предполагается:

– для каждого входного полюса узла имеет место временная независимость;

– входные полюсы узла пространственно независимы.

Временная независимость предполагает, что значение сигнала в любом такте синхронизации не зависит от его значений в предшествующих тактах. Пространственная независимость полюсов предполагает отсутствие корреляции значений сигналов на них. Она может возникать, когда пространственно связанные сигналы зависят друг от друга, что вызывается, например, наличием разветвлений на выходах элементов или обратных связей. На практике между сигналами может существовать устойчивая зависимость, вызываемая и другими причинами.

Для того чтобы получить схему с минимумом энергопотребления, необходимо оптимизировать значение этого параметра на всех стадиях логического синтеза. Важнейшим из этих этапов является начальный – оптимизация двухуровневых схем. Двухуровневая схема, описываемая системой ДНФ, состоит из элементов И первого уровня, на входы которых подаются входные сигналы схемы, а затем с выходов – на входы элементов ИЛИ второго уровня. Известно множество алгоритмов минимизации двухуровневых представлений по критерию площади, выражаемой числом простых импликант или литералов кратчайшей системы ДНФ. При минимизации булевых функций в классе ДНФ с учетом энергопотребления, чтобы получить в итоге двухуровневую схему, характеризующуюся малым энергопотреблением, на этапе выбора простых импликант для включения в искомую систему ДНФ приходится использовать интегральные оценки их качества, учитывающие не только число литералов простых импликант, но и их оценку по энергопотреблению (2).

На стадии оптимизации двухуровневых представлений проектируемых схем за оценку энергопотребления импликант (кандидатов для включения в кратчайшую систему ДНФ) вполне оправданно принять переключательную активность соответствующих элементов И, вычисляемую как

$$P_k = E(k) + \sum_{i=1}^{n(k)} E(z_i), \quad (3)$$

где $n(k)$ – число литералов импликанты k ; $E(k)$ и $E(z_i)$ – переключательные активности выхода элемента И и его i -го входного полюса.

В случае сравнения простых импликант по переключательной активности применимы практически все вероятностные методы ее оценки. Они дают достаточно точные сравнительные оценки функциональной активности выходов элементов И, так как входные полюсы последних обладают в случае двухуровневой реализации свойствами временной и пространственной независимости.

В литературе предлагается множество вероятностных методов оценки энергопотребления логических схем [2, 3, 5, 7, 9, 14], причем большинство методов применимы только для комбинационных схем. Методы оценки энергопотребления сформулированы относительно разных предположений о задержке сигналов узлами схемы, возможности разных видов зависимостей между сигналами, учете переходных процессов при смене сигнала и т. д.; допускают использование разных статистических характеристик (вероятностей появления сигнала 1, вероятностей смены сигнала на полюсе, интенсивностей переключений сигналов – плотностей переключений сигналов, равновесных вероятностей, вероятностных форм сигналов и т. д.) и разных моделей (на основе бинарных диаграмм решений (Binary Decision Diagram), коэффициентов корреляции). Ниже рассматриваются те из этих оценок, которые целесообразно применять при оптимизации двухуровневых схем.

3. Оценки переключательной активности в предположении нулевой задержки сигналов

Различают [7] вероятность p_i^1 появления сигнала 1 (0) на некотором i -м полюсе и вероятность смены сигнала на этом полюсе. Первая вероятность p_i^1 называется *сигнальной вероятностью* (вероятностью появления сигнала 1) и определяется средней долей тактов, на которых сигнал на i -м полюсе имеет единичное значение. Вторая вероятность $p_i^{1 \rightarrow 0}$ (или $p_i^{0 \rightarrow 1}$) есть вероятность смены значения сигнала с 1 на 0 (или с 0 на 1) и определяется средней долей тактов, на которых сигнал на i -м полюсе меняет свое значение по сравнению со значением в предшествующем такте.

В предположениях нулевых задержек элементов (что исключает переключения за счет переходных процессов) и временной независимости сигналов вероятность $p_i^{1 \rightarrow 0}$ ($p_i^{0 \rightarrow 1}$) равна произведению вероятности появления на нем сигнала 1 (0) в одном такте на вероятность того, что в следующем такте на нем появится 0 (1). Соответственно переключательная активность i -го полюса схемы равна произведению $E_i = p_i^{1 \rightarrow 0} p_i^{0 \rightarrow 1} = 2p_i^1 p_i^0$ и в предположении, что $p_i^1, p_i^0 < 1$, и при обозначении p_i^1 просто через p_i :

$$E_i = 2 p_i (1 - p_i). \quad (4)$$

Например, если сигнальная вероятность полюса у $p_e = 0,2$, то $E_e = 0,32$, если $p_e = 0,5$, то переключаемая активность этого полюса имеет максимальное значение $E_e = 0,5$.

После того как переключаемые активности всех узлов схемы вычислены, рассеиваемая схемой мощность может быть рассчитана по формуле (2). Впервые оценка (4) была использована для оценки энергопотребления схем в работе [10].

Вероятность p_e появления сигнала 1 на выходе элемента e существенно зависит от вероятностных характеристик сигналов на его входах и от функции, реализуемой этим элементом. В случае когда сигналы на входах элемента не коррелируют в пространстве и во времени, сигнальные вероятности для элементов типа инвертор и И с $n(e)$ входными полюсами легко могут быть подсчитаны исходя из таблиц истинности реализуемых ими функций:

$$p_e^- = 1 - p_1; \quad p_e^+ = \prod_{i=1}^{n(e)} p_i, \quad (5)$$

где p_i – сигнальная вероятность (вероятность появления сигнала 1) i -го входа элемента.

Для примера подсчитаем переключаемые активности схем (состоящих из одного элемента И), реализующих импликанты $k_1 = \bar{x}_1 x_2 \bar{x}_3$ и $k_2 = x_1 \bar{x}_2 x_4$ при условии, что заданы следующие значения их сигнальных вероятностей:

$$p_{x1} = 0,2; \quad p_{x2} = 0,7; \quad p_{x3} = 0,5; \quad p_{x4} = 0,9.$$

В соответствии с (4) переключаемые активности входных полюсов схем будут следующими:

$$E_{x1} = E_{\bar{x}1} = 0,32; \quad E_{x2} = E_{\bar{x}2} = 0,42; \quad E_{x3} = E_{\bar{x}3} = 0,5; \quad E_{x4} = E_{\bar{x}4} = 0,18.$$

Сигнальные вероятности и переключаемые активности для выходных полюсов элементов И имеют согласно (5) и (4) следующие значения:

$$p_{k1} = 0,28; \quad p_{k2} = 0,054; \quad E_{k1} = 0,403; \quad E_{k2} = 0,102.$$

Суммарные переключаемые активности схем, реализующих импликанты k_1 и k_2 :

$$E_1 = 1,64; \quad E_2 = 1,02.$$

Подсчет показал, что оценка переключаемой активности первой подсхемы в 1,6 раза превышает оценку второй схемы. Следовательно, в процессе минимизации ДНФ более желательно выбирать импликанту k_2 , так как по числу литералов эти импликанты равноценны, а по энергетическим оценкам сильно расходятся.

4. Оценки переключаемой активности в предположении ненулевой задержки сигналов

Как уже упоминалось выше, ненулевая задержка сигнала реальными элементами является причиной того, что на входы узла схемы сигналы приходят с разной задержкой. Это приводит к наличию паразитных переключений выходного сигнала на выходе узла до его установки в устойчивое состояние и соответственно к росту динамической составляющей энергопотребления узла, который никак не отражается в оценках, подсчитываемых в предположении нулевой задержки сигналов. Оценки энергопотребления узлов схемы в предположении ненулевой задержки сигналов основаны на более общих по сравнению с сигнальной вероятностью и переключаемой активностью понятиях: *равновесной вероятности* и *плотности переключений* [7]. Эти характеристики определяют поведение сигнала во времени, а не только поведение в устойчивом состоянии в течение такта. Предполагается, что логический сигнал $x(t)$ представляет собой стохастический процесс смены значений с 0 на 1 и с 1 на 0 в случайные моменты времени в интервале $t \in (-\infty, +\infty)$.

Равновесная вероятность P_x логического сигнала $x(t)$ определяется как средняя доля времени, в течение которого сигнал имеет значение 1:

$$P_x = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-\frac{T}{2}}^{+\frac{T}{2}} x(t) dt. \quad (6)$$

В отличие от сигнальной, равновесная вероятность зависит от задержек сигналов на входе узла и учитывает неодновременность изменения значений этих сигналов. В предположении нулевой задержки сигналов равновесная вероятность сводится к сигнальной.

Плотность переключений логического сигнала $x(t)$ определяется как математическое ожидание числа логических переходов сигнала (из 1 в 0 или из 0 в 1) за единицу времени:

$$A_x = \lim_{T \rightarrow \infty} \left(\frac{n(T)}{T} \right),$$

где $n(T)$ – число переключений сигнала $x(t)$ в интервале времени длины T .

Так как плотность переключений зависит от задержек сигналов, переключательная активность является нижней оценкой значения плотности переключений. В синхронной схеме с длительностью такта T_c имеет место следующее соотношение между плотностью переключений и переключательной активностью:

$$A_x \geq \frac{E_x}{T_c}. \quad (7)$$

Здесь равенство имеет место для случая нулевой задержки сигналов.

При вычислении плотности переключений внутреннего узла схемы предполагается, что плотности переключений сигналов на его входе заданы. Показано [11], что если входы x_i элемента y независимы в пространственном и временном плане, то плотность переключений сигнала на его выходе вычисляется как

$$A_y = \sum_{i=1}^n P \left(\frac{dy}{dx_i} \right) A_{x_i}. \quad (8)$$

Вычисление оценки энергопотребления узла с использованием плотности переключений в качестве меры переключательной активности производится по формуле (1) с заменой E_s на A_s .

Если функция y зависит от булевой переменной x , то булева разность y относительно переменной x определяется как

$$\frac{dy}{dx} = y|_{x=1} \oplus y|_{x=0}. \quad (9)$$

Булева разность задает в логическом виде зависимость значения функции y от значения ее аргумента x , или степень влияния входного сигнала x на значение сигнала на выходе элемента y . Если $\frac{dy}{dx} = 1$, то всякое изменение значения переменной x влечет за собой изменение значения функции y .

Величина $P \left(\frac{dy}{dx} \right)$ определяет вероятность проявления изменения значения входного сигнала x на выходе элемента y , а $P \left(\frac{dy}{dx} \right) A_x$ – вклад сигнала x в переключательную активность выходного полюса элемента y .

При вычислении интенсивности переключений на основе (8) не принимается во внимание пространственная корреляция сигналов, зато в отличие от (4) хотя и приближенно, но учитываются «глюки», которые сопровождают переходные процессы, вызываемые за счет раз-

новременности переключения сигналов на входе элемента. Применение формулы (8) для случая одновременного переключения сигналов на входе приводит к некорректно подсчитанной интенсивности переключений. В [5] предлагается обобщение модели (8) на случай наличия как одновременных, так и разновременных переключений сигналов на входе элемента.

Плотность переключений сигнала на выходе элемента И, реализующего импликанту $k = x_1 x_2 \dots x_m$, если известны плотности A_{x_i} переключений сигналов на его входах, вычисляется с учетом (5), (8), (9) достаточно просто:

$$\frac{dy}{dx} = x_1 x_2 \dots x_{i-1} x_{i+1} \dots x_m; \quad (10)$$

$$A_k = P_{x_2} P_{x_3} \dots P_{x_m} A_{x_1} + P_{x_1} P_{x_3} \dots P_{x_m} A_{x_2} + \dots P_{x_1} P_{x_2} \dots P_{x_{m-1}} A_{x_m}.$$

При проектировании схемы, являющейся блоком некоторого устройства, удобно, как правило, задавать для ее входов сигнальные вероятности. При вычислении плотности A_k переключений сигнала на выходе элемента И с небольшой погрешностью можно заменить равновесную вероятность P_{x_i} на сигнальную вероятность p_{x_i} .

В пределе при стремлении разброса задержек входных сигналов к 0 плотность A_{x_i} переключений в соответствии с (7) становится близкой к $1/T_c$ доли от переключательной активности E_{x_i} . Так как коэффициент $1/T_c$ является множителем величин плотностей переключений для всех импликант, его можно не учитывать при оценках импликант и заменить в (10) все A_{x_i} на E_{x_i} (4), а точнее, на $p_{x_i}(1 - p_{x_i})$.

В работе [12] рассматривается синхронная схема, сигналы на входах которой могут переключаться одновременно и только единожды за такт – в момент времени 0. Показано, что в этом случае между плотностью переключений и сигнальной вероятностью имеет место следующее соотношение:

$$A_{x_i} \leq 1 - 2|p_{x_i} - 0,5|, \quad (11)$$

т. е. для заданной сигнальной вероятности p_{x_i} возможные значения плотности переключений находятся внутри треугольной области (рис. 1). Отсюда видно, что для рассматриваемого случая оценки простых импликант с допустимой погрешностью можно заменить A_{x_i} в формуле (10) на $1 - 2|p_{x_i} - 0,5|$.

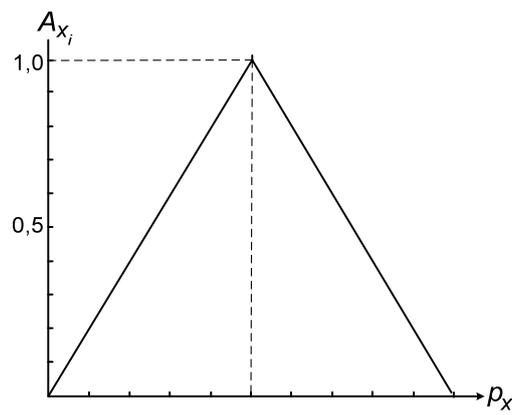


Рис. 1. Связь между плотностью переключений и сигнальной вероятностью

Рассмотрим для примера те же импликанты $k_1 = \bar{x}_1 x_2 \bar{x}_3$ и $k_2 = x_1 \bar{x}_2 x_4$, что и в предыдущем разделе, и подсчитаем плотность переключений для соответствующих подсхем при тех же значениях сигнальных вероятностей:

$$p_{x_1} = 0,2; \quad p_{x_2} = 0,7; \quad p_{x_3} = 0,5; \quad p_{x_4} = 0,9.$$

В соответствии с (11) плотности переключений сигналов на входных полюсах оцениваем как

$$A_{x_1} = 0,4; \quad A_{x_2} = 0,6; \quad A_{x_3} = 1; \quad A_{x_4} = 0,2.$$

В соответствии с (8) и (9) имеем

$$P\left(\frac{dk_1}{dx_1}\right) = p_{x_2} p_{\bar{x}_3} = 0,35; \quad P\left(\frac{dk_1}{dx_2}\right) = p_{\bar{x}_1} p_{\bar{x}_3} = 0,24; \quad P\left(\frac{dk_1}{dx_3}\right) = p_{\bar{x}_1} p_{x_2} = 0,56;$$

$$P\left(\frac{dk_2}{dx_1}\right) = p_{\bar{x}_2} p_{x_4} = 0,27; \quad P\left(\frac{dk_2}{dx_2}\right) = p_{x_1} p_{x_4} = 0,18; \quad P\left(\frac{dk_2}{dx_3}\right) = p_{x_1} p_{\bar{x}_2} = 0,06;$$

$$A_{k_1} = 0,35A_{x_1} + 0,24 A_{x_2} + 0,56 A_{x_3} = 0,844; \quad A_{k_2} = 0,27A_{x_1} + 0,18 A_{x_2} + 0,06 A_{x_4} = 0,228.$$

Суммарные плотности переключений схем, реализующих импликанты k_1 и k_2 :

$$A_1 = 2,844; \quad A_2 = 1,428.$$

Подсчет показал, что оценка плотности переключений первой схемы в 1,9 раза превышает оценку второй схемы и соответственно более желательной при минимизации ДНФ является импликанта k_2 . Получен тот же результат, что и при использовании переключательной активности в качестве оценки энергопотребления.

5. Энтропийные оценки переключательной активности

Энтропия используется в теории информации как мера информационной емкости сигнала. Она характеризует меру неопределенности последовательности наборов значений сигналов на входе схемы или ее узла; следовательно, на интуитивном уровне связана с переключательной активностью – если переключательная активность высока, то сигнал может нести больше информации и его энтропия велика. Если x – случайный двоичный сигнал, который имеет значение 1 с вероятностью p_x , то его энтропия определяется как

$$H(x) = p_x \log_2 \frac{1}{p_x} + (1 - p_x) \log_2 \frac{1}{1 - p_x}. \quad (12)$$

Функция энтропии $H(x)$ принимает максимальное значение 1 при $p_x = 0,5$. Аналогично переключательная активность E_x сигнала x достигает своего максимального значения 0,5 при значении сигнальной вероятности $p_x = 0,5$.

В предположении пространственной и временной независимости переключательная активность E_x сигнала x согласно (4) равна $2 p_x (1 - p_x)$ переключений за один такт или согласно (8) плотность переключений $A_x = \frac{E_x}{T_c}$ равна $2 \frac{p_x (1 - p_x)}{T_c}$ переключений в секунду для случая нулевой за-

держки сигналов. Оказывается, что график функции $2E_x(p_x)$ очень близок к графику функции энтропии $H(p_x)$ (рис. 2) [13]. Отсюда вытекает возможность использования энтропии как меры переключательной активности сигналов и схемы в целом. В [13] предложено использовать среднее значение энтропии по всем узлам схемы в качестве меры площади кристалла, необходимой для ее размещения, а также переключательной активности схемы; там же приведен способ вычисления энтропии для выходного сигнала узла схемы исходя из энтропий входных сигналов.

При использовании энтропийной оценки переключательной активности для оценки простых импликант при минимизации системы ДНФ достаточно вычислять среднее значение энтропии по входам и выходу элемента И.

Рассмотрим для примера те же импликанты $k_1 = \bar{x}_1 x_2 \bar{x}_3$ и $k_2 = x_1 \bar{x}_2 x_4$, что и в предыдущих разделах, и подсчитаем согласно (12) значения энтропии сигналов на входных полюсах схем (исходя из тех же значений сигнальных вероятностей, что и в предыдущих разделах):

$$H(x_1) = 0,722; \quad H(x_2) = 0,886; \quad H(x_3) = 1; \quad H(x_4) = 0,519,$$

а также значения энтропии сигналов на выходных полюсах схем, воспользовавшись значениями $p_{k1} = 0,28$ и $p_{k2} = 0,054$, подсчитанными в разд. 3:

$$H(k_1) = 0,861; H(k_2) = 0,304.$$

Таким образом, получим следующие суммарные значения энтропии схем, реализующих импликанты k_1 и k_2 :

$$H_1 = 3,469; H_2 = 2,431.$$

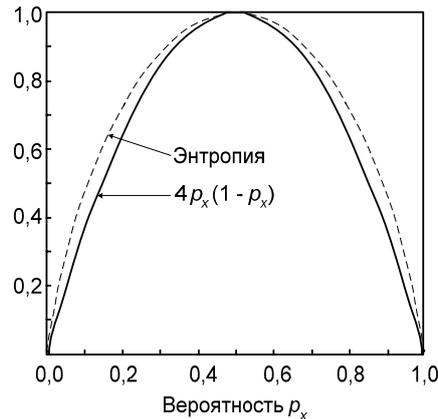


Рис. 2. Соотношение между переключательной активностью и энтропией

Подсчет показал, что оценка энтропии первой схемы в 1,4 раза превышает оценку второй схемы и соответственно более желательной при минимизации ДНФ является импликанта k_2 . Этот результат согласуется с результатами, полученными при использовании двух упоминаемых выше оценок энергопотребления.

Заключение

Проанализированы вероятностные оценки энергопотребления статических КМОП-схем, которые можно применять как прогнозные оценки вариантов оптимизации в процессе синтеза синхронных двухуровневых И-ИЛИ-схем, реализуемых по КМОП-технологии. Показано, как можно использовать эти оценки при задании для входных сигналов только их сигнальных вероятностей. В частности, выведено соотношение, позволяющее заменить в формуле вычисления плотности вероятности плотность переключений на сигнальную вероятность.

Использование всех анализируемых оценок в качестве прогнозных приводит к выбору одних и тех же вариантов оптимизации. Это говорит о том, что они одинаково годятся для сравнительного анализа вариантов оптимизации в процессе синтеза двухуровневых И-ИЛИ-схем.

Список литературы

1. Рабаи, Ж.М. Цифровые интегральные схемы. Методология проектирования / Ж.М. Рабаи, А. Чандракасан, Б. Николич. — М. : Издательский дом «Вильямс», 2007. — 912 с.
2. Benini, L. Logic Synthesis for Low Power / L. Benini, G. De Micheli // Logic Synthesis and Verification ; eds. S. Hassoun, T. Sasao, R.K. Brayton. — Boston, Dardrecht, London : Kluwer Academic Publishers, 2002. — P. 197–223.
3. Pedram, M. Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. — 1996. — Vol. 1. — P. 3–56.
4. Уэйкерли, Дж. Проектирование цифровых устройств. Т. 1 / Дж. Уэйкерли. — М. : Постмаркет, 2002. — 544 с.
5. Roy, K. Low Power CMOS VLSI Circuit Design / K. Roy, S.C. Prasad. — N. Y. : John Wiley and Sons Inc., 2000. — 376 p.

6. Bellaouar, A.B. Low-Power Digital VLSI Design Circuits and Systems / A.B. Bellaouar, M.I. Elmasry, J. Allen. – USA, Norwell : Kluwer Academic Publishers, 1995. – 530 с.
7. Najm, F.N. A survey of Power Estimation Techniques in VLSI Circuits / F.N. Najm // IEEE Trans. on VLSI. – 1994. – № 12. – P. 446–455.
8. Benini, L. Analysis of hazard contribution to power dissipation in CMOS IC's / L. Benini, M. Favalli, B. Risco // Proc. of the 1994 Intern. Workshop on Low Power Design, April 1994. – Napa, CA, 1994. – P. 27–32.
9. Simulation and reduction of CMOS power dissipation at logic level / F. Dresig [et al.] // Proc. of European Design Automation Conf., Febr. 1993. – Paris, France, 1993. – P. 341–346.
10. Cirit, M.A. Estimating dynamic power consumption of CMOS circuits / M.A. Cirit // IEEE Intern. Conf. on Computer-Aided Design, November 1987. – Santa Clara, CA, 1987. – P. 534–537.
11. Najm, F.N. Transition density: A new measure of activity of digital circuits / F.N. Najm // IEEE Trans. on Computer-Aided Design of Integr. Circuit and Systems. – 1993. – Vol. 12, № 2. – P. 310–323.
12. Gupta, S. Power Modeling for High Level Power Estimation / S. Gupta, F.N. Najm // IEEE Transactions on VLSI Systems. – 2000. – Vol. 8, № 1. – P. 18–29.
13. Nemani, M. Towards a high-level power estimation capability / M. Nemani, F. Najm // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems. – 1996. – Vol. 15, № 6. – P. 588–598.
14. Мурашко, И.А. Методы оценки рассеиваемой мощности в цифровых КМОП-схемах / И.А. Мурашко // Доклады БГУИР. – 2007. – № 1 (17). – С. 100–108.
15. Мурашко, И.А. Методы минимизации энергопотребления при самотестировании цифровых устройств / И.А. Мурашко, В.Н. Ярмолик. – Минск, 2004. – 198 с.

Поступила 11.03.10

*Объединенный институт проблем
информатики НАН Беларуси,
Минск, Сурганова, 6
e-mail: cld@newman.bas-net.by*

L.D. Cheremisinova

EVALUATION OF POWER DISSIPATION IN CMOS CIRCUITS AT A LOGIC LEVEL

Power estimation techniques targeted logic level synthesis for synchronous two-level CMOS AND-OR circuits are analyzed. The approaches allowing comparative look-ahead power estimations of variants of circuit optimization are considered. When evaluating power dissipation at a logic level it is assumed that the basic schematic design solutions such as clock frequency and supply voltage are fixed.