

ISSN 1816-0301 (print)
УДК 004.31

Поступила в редакцию 11.05.2018
Received 11.05.2018

Е. В. Рыбенков, Н. А. Петровский

*Белорусский государственный университет
информатики и радиоэлектроники, Минск, Беларусь*

**СИНТЕЗ FPGA-АРХИТЕКТУР БАНКОВ ФИЛЬТРОВ
НА ОСНОВЕ БЛОЧНОЙ ЛЕСТНИЧНОЙ ФАКТОРИЗАЦИИ
В АЛГЕБРЕ КВАТЕРНИОНОВ (ЧАСТЬ 2)**

Аннотация. В настоящее время методологии проектирования систем на кристалле основываются на высокопараметризованных IP-компонентах (IP – intellectual property), которые для конкретного целевого приложения обеспечивают широкий диапазон регулировки затрат ресурсов, форматов данных арифметики с фиксированной запятой и производительности системы. В статье предложена гибкая технология быстрого прототипирования архитектур процессоров целочисленных обратимых параунитарных банков фильтров в алгебре кватернионов (Int-Q-ПУБФ) на основе FPGA, в основу которой положен Q-MUL IP-компонент оператора умножения кватернионов на распределенной арифметике на сумматорах. Осуществлена реализация Int-Q-ПУБФ на FPGA Xilinx Zynq 7010, при этом восьмиканальный 8x24 Int-Q-ПУБФ имеет перфективную реконструкцию входных данных для заданного формата фиксированной запятой, малые аппаратные затраты и небольшую задержку конвейера по сравнению с известными решениями на CORDIC-процессорах и распределенной арифметике на памяти.

Ключевые слова: схема lossless-to-lossy, кватернионы, компрессия изображений, FPGA, банк фильтров, блочная лестничная факторизация

Для цитирования. Рыбенков, Е. В. Синтез FPGA-архитектур банков фильтров на основе блочной лестничной факторизации в алгебре кватернионов (часть 2) / Е. В. Рыбенков, Н. А. Петровский // Информатика. – 2018. – Т. 15, № 3. – С. 22–31.

E. V. Rybenkov, N. A. Petrovsky

Belarusian State University of Informatics and Radioelectronics, Minsk, Belarus

**SYNTHESIS OF FPGA ARCHITECTURES OF BLOCK
LIFTING-BASED FILTER BANKS IN QUATERNION ALGEBRA (PART 2)**

Abstract. Nowadays the methodology for designing systems on a chip is based on highly parameterized IP (intellectual property) components which provide a wide range of adjustment of resources, fixed point arithmetic data formats, and system performance for a specific application. The article describes a flexible technology for rapid prototyping of processor architectures for integer, invertible, paraunitary filter banks in quaternion algebra (Int-Q-PUFB) based on the FPGA Q-MUL IP-component as multiplication operator for quaternions on distributed arithmetic on adders. Implementation of Int-Q-PUFB on FPGA Xilinx Zynq 7010, with 8-channel 8x24 Int-Q-PUFB has a perfect reconstruction property of the input data for a fixed point format, small hardware resource utilization and a slight delay in the pipeline compared to the known solutions for CORDIC-processors and distributed arithmetic on the memory.

Keywords: lossless-to-lossy, quaternions, image compression, FPGA, filter bank, block-lifting factorization

For citation. Rybenkov E. V., Petrovsky N. A. Synthesis of FPGA architectures of block lifting-based filter banks in quaternion algebra (part 2). *Informatics*, 2018, vol. 15, no. 3, pp. 22–31 (in Russian).

Введение. Как было показано в [1], применение блочной лестничной параметризации оператора умножения кватернионов $M^+(Q)$ является более предпочтительным по сравнению с прямой лестничной параметризацией. Это дает возможность уменьшать количество операций округления $\approx 2,67$ раза, что положительно сказывается на этапе кодирования изображений, а реализация ступеней ULV-разложения $M^+(Q)$ на распределенной арифметике на сумматорах (DA-ADDER) [2] позволит уменьшить аппаратные ресурсы FPGA и повысить производительность операции Q-MUL по сравнению с распределенной арифметикой на памяти [3] и CORDIC-процессором [4].

В распределенной арифметике на сумматорах DA-ADDER [5] постоянные коэффициенты A_k вектора \mathbf{A} представляются в двоичной нормированной форме ($|A_k| < 1$), а непеременные компоненты x_k входного вектора \mathbf{X} – в форме DA-ROM:

$$y = \sum_{k=1}^L \left[\sum_{n=0}^{B-1} A_{kn} 2^{-n} \right] x_k = \sum_{n=0}^{B-1} \left[\sum_{k=1}^L A_{kn} \cdot x_k \right] 2^{-n},$$

где A_{kn} – биты (0 или 1), B – количество разрядов в каждом элементе входного слова данных. Поскольку A_{kn} может принимать только значение 0 или 1, то терм $\sum A_{kn} \cdot x_k = S_n$ представляет собой комбинацию x_k . В DA-ADDER термы $\sum A_{kn} \cdot x_k$ реализуются в виде дерева сумматоров. На каждом цикле работы устройства данные подаются на входы дерева сумматоров для вычисления частичных результатов ($\sum A_{kn} \cdot x_k$), которые складываются или вычитаются со значением регистра-накопителя. В схеме DA-ADDER связи между сумматорами фиксируются жестко, в результате чего постоянные коэффициенты не могут быть изменены без перестройки структуры дерева сумматоров.

Расчет обратимого Int-Q-ПУБФ на основе Q-MUL IP-компонента. FPGA-реализация Int-Q-ПУБФ предполагает минимизацию латентности Q-MUL IP-компонента, коэффициенты блочной лестничной факторизации $\mathbf{F}(\tilde{Q})$, $\mathbf{G}(\tilde{Q})$, $\mathbf{H}(\tilde{Q})$ которого должны выбираться с минимальным количеством единиц в двоичном коде их представления в распределенной арифметике на сумматорах DA-ADDER. Синтез Int-Q-ПУБФ строится на основе численных методов с ограничениями на аппаратную реализацию: длину слова (B) и число бит, равных единице (K) в двоичном коде лестничных коэффициентов $\mathbf{F}(\tilde{Q})$, $\mathbf{G}(\tilde{Q})$, $\mathbf{H}(\tilde{Q})$. Эффективность Int-Q-ПУБФ оценивается по следующим показателям:

1) частотной избирательности – максимальному ослаблению в полосе непропускания каналов банка фильтров ε_{SBE} [6]:

$$\varepsilon_{SBE} = \sum_{k=0}^{M-1} \int_{\omega \in \Omega_k} |H_k(e^{j\omega})|^2 d\omega,$$

где Ω_k – полоса задержки k -го фильтра банка фильтров;

2) коэффициенту эффективности кодирования (Coding Gain, CG) [6]:

$$CG = 10 \lg \frac{\frac{1}{M} \sum_{k=0}^{M-1} \sigma_{xk}^2}{\left(\prod_{k=0}^{M-1} \sigma_{xk}^2 \right)^{\frac{1}{M}}},$$

где σ_{xk}^2 – дисперсия сигнала в k -м канале банка фильтров. Показатель CG характеризует степень компактности энергии в субполосах Int-Q-ПУБФ. Значения дисперсии σ_{xk}^2 для M -канального банка фильтров определяются диагональными элементами автокорреляционной матрицы \mathbf{R}_{yy} выходного сигнала $y(n)$ [6]:

$$\sigma_{xk}^2 = [\mathbf{R}_{yy}]_{kk}, \mathbf{R}_{yy} = \mathbf{H}\mathbf{R}_{xx}\mathbf{H}^T,$$

$$[\mathbf{H}]_{kn} = h_k(L-1-n), k = (0, \dots, M-1), n = 0, \dots, L-1,$$

где \mathbf{R}_{yy} – автокорреляционная матрица выходного сигнала $y(n)$; \mathbf{R}_{xx} – автокорреляционная матрица входного сигнала $x(n)$; \mathbf{H} – ортогональные матрицы, которые определяются передаточными функциями банка фильтров $H_k(z) (k=1, \dots, M)$. Входной сигнал $x(n)$ с автокорреляционной матрицей \mathbf{R}_{xx} формируется на основе авторегрессионной модели первого порядка AR(1) с единичной дисперсией и коэффициентом корреляции 0,95. Данная модель сигнала соответствует обработке естественных изображений;

3) ошибке (ε_q) реконструкции сигнала банком синтеза, обусловленной квантованием лестничных коэффициентов $\mathbf{F}(\tilde{Q})$, $\mathbf{G}(\tilde{Q})$, $\mathbf{H}(\tilde{Q})$ в Int-Q-ПУБФ:

$$\varepsilon_q = \max(|\tilde{x}(n) - x(n)|),$$

где $\tilde{x}(n)$ – данные на выходе Int-Q-ПУБФ синтеза; $x(n)$ – данные на входе Int-Q-ПУБФ анализа.

Полярная форма представления кватерниона ($Q = |Q| \cdot e^{i\varphi} \cdot e^{j\psi} \cdot e^{k\chi}$ для $-\pi \leq \varphi \leq \pi$, $-\frac{\pi}{2} \leq \psi \leq \frac{\pi}{2}$, $-\frac{\pi}{2} \leq \chi \leq \frac{\pi}{2}$) позволяет сократить число степеней свободы до трех и легко параметризовать кватернионы с нормой $|Q|$, равной единице. Условие $|Q|=1$ является обязательным для использования блочной лестничной параметризации умножителя кватернионов. Минимальное значение K дает возможность эффективно применить параллельную распределенную арифметику на сумматорах.

Задача синтеза может быть сформулирована как задача поиска условного экстремума: найти такую точку $x^* = [\varphi_1^*, \psi_1^*, \chi_1^*, \dots, \varphi_i^*, \psi_i^*, \chi_i^*]^T \in X$, $i = (0, \dots, 2N-1)$, в которой целевая функция $f(x^*) = \min_{x^* \in X} f(x)$, $f(x) = -CG(x)$ имеет локальный минимум при заданных ограничениях $X = \{x | g_j(x) \leq 0, j = (1, \dots, p)\}$:

$$g_1(x) = \varepsilon_{SBE}(x) - \varepsilon_{\min SBE} \leq 0; \quad g_2(x) = \varepsilon_q(x) - \varepsilon_{\max q} \leq 0,$$

где $\varepsilon_{\min SBE}$ – минимально допустимое ослабление в полосе пропускания во всех каналах; $\varepsilon_{\max q}$ – максимально допустимый уровень ошибки реконструкции сигнала.

В качестве метода оптимизации выбран метод множителей Лагранжа [7]. Функция Лагранжа имеет вид

$$L(x, \mu^k, r^k) = f(x) + P(x, \mu^k, r^k),$$

$$P(x, \mu^k, r^k) = \frac{1}{2r^k} \sum_{j=1}^p \left\{ \left[\max(0, \mu_j^k + r^k g_j(x)) \right]^2 - (\mu_j^k)^2 \right\},$$

где $P(x, \mu^k, r^k)$ – штрафная функция, $\mu^k = (\mu_1^k, \dots, \mu_p^k)$ – вектор множителей Лагранжа, r^k – параметр штрафа, k – номер итерации.

Алгоритм синтеза лестничных коэффициентов восьмиканального Int-Q-ПУБФ:

1. Задать значения следующих параметров: начальной точки $x = x_0$, штрафа $r = [0, 1; 1]$, шага приращения параметра штрафа $C = [4; 10]$, погрешности решения $\varepsilon > 0$ (остановки алгоритма), вектора множителей Лагранжа μ , разрядности слова B лестничных коэффициентов, порядка факторизации N , $\varepsilon_{\min SBE}$, $\varepsilon_{\max q}$, K , $k = 0$.

2. Составить модифицированную функцию Лагранжа $L(x, \mu^k, r^k)$.

3. Найти точку $x^*(\mu^k, r^k)$ безусловного минимума функции $L(x, \mu^k, r^k)$ по x : $L(x^*, \mu^k, r^k) = \min_{x \in \mathbb{R}^n} L(x, \mu^k, r^k)$, при этом для определения параметров $CG(x)$, $\varepsilon_{SBE}(x)$, $\varepsilon_q(x)$ и функций ограничений $g_j(x)$ выполнить:

3.1. преобразование вектора $x = [\varphi_1, \psi_1, \chi_1, \dots, \varphi_i, \psi_i, \chi_i]^T$ в кватернионы P_i и Q_i согласно полярной форме представления;

3.2. вычисление кватерниона Q_{N-1} согласно формуле (19) из [1];

3.3. вычисление значения коэффициентов лестничных структур $F_i(\tilde{Q})$, $G_i(\tilde{Q})$, $H_i(\tilde{Q})$ и матрицы перестановок P_{pre} , P_{post} для каждого кватерниона P_i и Q_i ;

3.4. вычисление для вектора параметров $x = [\varphi_1, \psi_1, \chi_1, \dots, \varphi_i, \psi_i, \chi_i]^T$ выхода $y(n)$ Int-Q-ПУБФ системы анализа-синтеза;

3.5. определение параметров $CG(x)$, $\varepsilon_{SBE}(x)$, $\varepsilon_q(x)$.

4. Вычислить значение функции $P(x^*, \mu^k, r^k)$:

если $|P(x^*(\mu^k, r^k), \mu^k, r^k)| \leq \varepsilon$, то

вернуть минимум функции Лагранжа $x^*(\mu^k, r^k)$ и перейти к п. 6;

иначе

пересчитать параметры штрафа r^{k+1} и множители μ_j^{k+1} для ограничений-неравенств: $r^{k+1} = C \cdot r^k$; $\mu_j^{k+1} = \max\{0, \mu_j^k + r^k g_j(x^*(\mu^k, r^k))\}$.

5. Положить $x^{k+1} = x^*(\mu^k, r^k)$, $k = k + 1$, и перейти к п. 2.

6. Выполнить преобразования целевых умножителей кватернионов к виду $M^+(\cdot)$ в соответствии с табл. 1 из [7].

7. Для всех кватернионов определить компоненты векторов знаков **SH**, **SG**, **SF** и изменить знаки лестничных коэффициентов $H(\tilde{Q})$, $G(\tilde{Q})$, $F(\tilde{Q})$ в соответствии с табл. 2 из [1].

8. Конец алгоритма.

Начальные точки x_0 выбираются случайным образом, поскольку отсутствует информация о расположении глобального минимума функции $L(x, \mu^k, r^k)$. Синтез коэффициентов рекомендуется начинать при $B = 64$ и $K = 64$, после чего полученное решение x^* использовать как начальную точку x_0 , например, для $B = 12$ и $K = 3$. Иными словами, минимизация функции $L(x, \mu^k, r^k)$ в арифметике с «грубо» квантованными параметрами $B = 12$ и $K = 3$ приводит к остановке алгоритма синтеза Int-Q-ПУБФ через небольшое число итераций и в результате локальный минимум функции не достигается.

Значения коэффициентов лестничных структур вычисляются и квантуются для 24 возможных комбинаций кватерниона \tilde{Q} и матриц \mathbf{P}_{post} , \mathbf{P}_{pre} , из которых выбирается одна комбинация, удовлетворяющая следующим условиям: значения коэффициентов должны располагаться в диапазоне от -1 до 1 ; ошибка факторизации матрицы $\mathbf{M}^\pm(Q)$ в виде лестничной структуры должна быть минимальной; число бит K , равных единице, в лестничных коэффициентах, представленных в прямом двоичном коде, должно быть минимальным.

В табл. 1 приведены основные характеристики синтезированного восьмиканального Int-Q-ПУБФ анализа для различных ограничений на аппаратную реализацию. Анализ табл. 3 показал, что сбалансированное решение Int-Q-ПУБФ получается для схемотехнических ограничений $B=12$ и $K=3$. Квантование коэффициентов не повлияло на свойство полного восстановления (ошибка восстановления ε_q практически равна нулю). При этом Int-Q-ПУБФ характеризуется высоким значением показателя эффективности кодирования $CG = 9,49$ дБ и частотной избирательности $\varepsilon_{SBE} = -21,3$ дБ, а степень ослабления постоянной составляющей сигнала DC Att. равна -49 дБ.

Таблица 1

Характеристики восьмиканального Int-Q-ПУБФ для различных ограничений на аппаратную реализацию

Арифметика		ε_{SBE} , дБ	ε_q	CG, дБ	DC Att., дБ
B	K				
64	64	-20,6	$6,7 \cdot 10^{-16}$	9,37	-300
16	16	-20,6	$6,7 \cdot 10^{-16}$	9,37	-95,3
12	12	-20,6	$6,7 \cdot 10^{-16}$	9,37	-65,11
8	8	-20,2	$6,7 \cdot 10^{-16}$	9,39	-39,83
16	3	-21,3	$6,7 \cdot 10^{-16}$	9,49	-49,22
12	3	-21,3	$6,7 \cdot 10^{-16}$	9,49	-49,22

В табл. 2 приведены настроечные параметры (коэффициенты блочной лестничной параметризации \mathbf{F} , \mathbf{G} , \mathbf{H} , векторы знаков \mathbf{SF} , \mathbf{SG} , \mathbf{SH} и матрицы коммутации \mathbf{B}_{pre} , \mathbf{B}_{post}) Q-MUL IP-компонентов операторов $\mathbf{M}^\pm(\cdot)$ умножения кватернионов для данного восьмиканального 8×24 Int-Q-ПУБФ анализа с линейной фазово-частотной характеристикой (ФЧХ) и попарно зеркальной симметрией частотных характеристик канальных фильтров.

Таблица 2

Настроечные параметры восьмиканального 8×24 Int-Q-ПУБФ ($B = 12, K = 3$)

$\mathbf{M}^\pm(\cdot)$	$f_{11} = f_{22}$, $f_{12} = -f_{21}$	SF_1 , SF_2	$g_{11} = g_{22}$, $g_{12} = -g_{21}$	SG_1 , SG_2	$h_{11} = h_{22}$, $h_{12} = -h_{21}$	SH_1 , SH_2	\mathbf{B}_{pre} , \mathbf{B}_{post}
$\mathbf{M}^+(P_1)$	$+(2^{-5} + 2^{-4} + 2^{-3})$	+	$+(2^{-10} + 2^{-9} + 2^{-2})$	+	$-(2^{-4} + 2^{-3} + 2^{-1})$	-	[3142]
	$-(2^{-3} + 2^{-2} + 2^{-1})$	-	$+(2^{-8} + 2^{-5} + 2^{-3})$	-	$-(2^{-6} + 2^{-4} + 2^{-1})$	-	[1324]
$\mathbf{M}^-(P_2)$	$-(2^{-8} + 2^{-6})$	-	$+(2^{-5} + 2^{-4} + 2^{-3})$	+	$-(2^{-8} + 2^{-5} + 2^{-2})$	-	[4132]
	$-(2^{-7} + 2^{-5} + 2^{-2})$	+	$+(2^{-5} + 2^{-4} + 2^{-3})$	-	$+(2^{-8} + 2^{-6} + 2^{-5})$	-	[1342]
$\mathbf{M}^+(P_3)$	$+(2^{-4} + 2^{-3} + 2^{-2})$	-	$-(2^{-7} + 2^{-4} + 2^{-3})$	-	$-(2^{-5} + 2^{-2} + 2^{-1})$	+	[1234]
	$+(2^{-6} + 2^{-3} + 2^{-1})$	-	$+(2^{-6} + 2^{-3} + 2^{-2})$	-	$-(2^{-12} + 2^{-10})$	+	[1234]

Окончание табл. 2

$\mathbf{M}^{\pm}(\cdot)$	$f_{11} = f_{22},$ $f_{12} = -f_{21}$	$SF_1,$ SF_2	$g_{11} = g_{22},$ $g_{12} = -g_{21}$	$SG_1,$ SG_2	$h_{11} = h_{22},$ $h_{12} = -h_{21}$	$SH_1,$ SH_2	$\mathbf{B}_{pre},$ \mathbf{B}_{post}
$\mathbf{M}^+(Q_1)$	$+(2^{-6} + 2^{-4} + 2^{-2})$	-	$-(2^{-8} + 2^{-6} + 2^{-5})$	+	$+(2^{-5} + 2^{-3} + 2^{-2})$	-	[2431]
	$-(2^{-6} + 2^{-5} + 2^{-2})$	-	$+(2^{-8} + 2^{-6} + 2^{-4})$	-	$+(2^{-7} + 2^{-4} + 2^{-3})$	+	[1423]
$\mathbf{M}^+(Q_2)$	$-(2^{-6} + 2^{-5} + 2^{-1})$	+	$-(2^{-7} + 2^{-6} + 2^{-5})$	+	$+(2^{-7} + 2^{-3} + 2^{-1})$	+	[1432]
	$+(2^{-5} + 2^{-3} + 2^{-2})$	+	$-(2^{-8} + 2^{-5} + 2^{-4})$	+	$-(2^{-8} + 2^{-7} + 2^{-2})$	+	[1432]
$\mathbf{M}^-(Q_3)$	$+(2^{-4} + 2^{-2} + 2^{-1})$	-	$+(2^{-5} + 2^{-4} + 2^{-1})$	-	$+(2^{-7} + 2^{-4} + 2^{-3})$	-	[2314]
	$-(2^{-7} + 2^{-6} + 2^{-3})$	+	$-(2^{-8} + 2^{-4} + 2^{-1})$	-	$-(2^{-4} + 2^{-2} + 2^{-1})$	+	[1342]

Анализ амплитудно-частотных характеристик (АЧХ) $|H_k(e^{j\omega})|$ и ФЧХ $\arg(H_k(e^{j\omega}))$ банка фильтров анализа 8×24 Int-Q-ПУБФ (рис. 1, а) показывает, что Int-Q-ПУБФ характеризуется линейностью ФЧХ. Это обусловлено симметрией импульсных характеристик (рис. 1, б) канальных фильтров ($L=24$ отсчета). АЧХ системы анализа-синтеза $|T(e^{j\omega})|$ представляет собой прямую линию (рис. 1, а), что свидетельствует о наличии свойства полного восстановления в Int-Q-ПУБФ. На рис. 1, в изображены масштабирующая и вейвлет-функции. Вейвлет-функции являются гладкими и симметричными. Таким образом, Int-Q-ПУБФ может рассматриваться как многополосное вейвлет-преобразование, эффективность которого в сжатии изображений высокая.

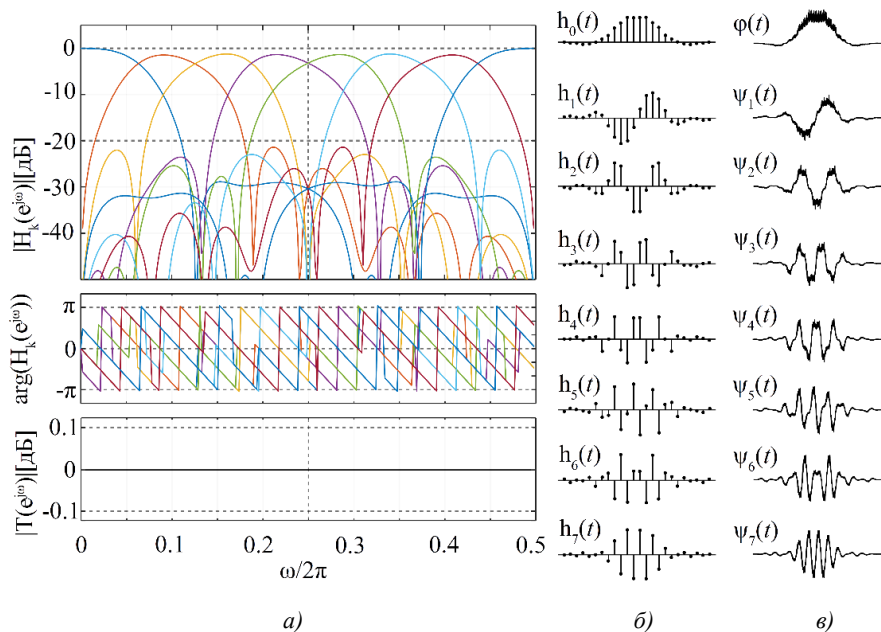


Рис. 1. Характеристики целочисленного восьмиканального 8×24 Int-Q-ПУБФ ($B = 12, K = 3$):

а) АЧХ, ФЧХ банка фильтров анализа и АЧХ системы анализа-синтеза; б) импульсные характеристики канальных фильтров; в) масштабирующая и вейвлет-функции

Сравнительный анализ Int-Q-ПУБФ для числа каналов $M = 8$, отсчетов импульсной характеристики ($L=16, 24$ и 32) и схемотехнических ограничений ($B = 12$ и $K = 3$) с другими известными преобразованиями (см. [8], табл. 2) по параметрам $CG, \varepsilon_{SBE}, DC Att.$ показывает,

что предложенный Int-Q-ПУБФ с блочной лестничной параметризацией характеризуется высокими показателями эффективности: 8×16 Int-Q-ПУБФ CG (9,64 дБ vs. 9,27 дБ), ε_{SBE} (-18,2 дБ vs. -18 дБ), DC Att. = -40 дБ; 8×24 Int-Q-ПУБФ CG (9,49 дБ vs. 9,38 дБ), ε_{SBE} (-21,3 дБ vs. -19,3 дБ), DC Att. = -49 дБ; 8×32 Int-Q-ПУБФ CG (9,48 дБ vs. 9,46 дБ), ε_{SBE} (-24,8 дБ vs. -18,9 дБ), DC Att. = -38 дБ, параметр DC Att. для схемотехнических ограничений ($B=64$ и $K=64$) равен -316 дБ и Q-ПУБФ могут рассматриваться как банки фильтров, не имеющие утечек по постоянному току, т. е. как оптимальные по показателю DC Att. Показатели эффективности для преобразований из работы [8, табл. 2] соответствуют реализации с плавающей запятой.

FPGA многоступенчатые конвейерные архитектуры Int-Q-ПУБФ

Реализация ступени Q-MUL IP-компонента. Рассмотрим процесс вычисления матриц перестановок \mathbf{B}_{pre} , \mathbf{B}_{post} и векторов-знаков \mathbf{SF} , \mathbf{SG} , \mathbf{SH} на примере оператора умножения кватернионов $\Gamma_4 \cdot \mathbf{M}^+(P_1 = p_1 + p_2i + p_3j + p_4k)$. В результате приведения кватерниона \mathbf{P}_1 к динамическому диапазону $[-1,1]$ модифицированный кватернион $\tilde{P}_1 = p_3 + p_1i + p_4j + p_2k$. Если определитель матрицы перестановок $\det(\mathbf{P}) = -1$, то в соответствии с правилом выбора оператора умножения [1] происходит смена оператора умножения на противоположный:

$$\mathbf{M}^+(P_1) = \mathbf{P}_{post} \mathbf{M}^-(\tilde{P}_1) \mathbf{P}_{pre},$$

$$\mathbf{P}_{pre} = \begin{bmatrix} 0 & 0 & -1 & 0 \\ -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 \end{bmatrix}, \quad \mathbf{P}_{post} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & -1 \end{bmatrix}.$$

Поскольку оператор умножения кватернионов всегда $\mathbf{M}^+(P)$, то в соответствии со строкой 3 табл. 1 [1] приведение целевого оператора умножения $\mathbf{M}^-(\tilde{P}_1)$ будет осуществлено, если выбрать

$$\mathbf{P}_{pre} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}, \quad \mathbf{P}_{post} = \begin{bmatrix} 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & -1 & 0 \end{bmatrix}.$$

Матрицы перестановок \mathbf{B}_{pre} , \mathbf{B}_{post} и матрицы знаков \mathbf{R} , \mathbf{L} определяются следующим образом [1]:

$$\mathbf{B}_{pre} = |\mathbf{P}_{pre}| = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}, \quad \mathbf{B}_{post} = |\mathbf{P}_{post}| = \begin{bmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix},$$

$$\mathbf{R} = \mathbf{P}_{pre} \cdot \mathbf{B}_{pre}^{-1} = \text{diag}([1, 1, -1, 1]), \quad \mathbf{L} = \mathbf{B}_{post}^{-1} \cdot \mathbf{P}_{post} = \text{diag}([1, -1, -1, -1]).$$

Далее из строки 2 табл. 2 [1] определяются векторы знаков оператора $\Gamma_4 \cdot \mathbf{M}^+(P_1)$ умножения кватернионов:

$$\mathbf{SH} = [SH_1, SH_2]^T = [r_1, r_2]^T = [1, 1]^T, \quad \mathbf{SG} = [SG_1, SG_2]^T = [l_3 \cdot r_3, l_4 \cdot r_4] = [1, 1]^T,$$

$$\mathbf{SF} = [SF_1, SF_2]^T = [1, 1]^T.$$

Архитектура блока распределенной арифметики на сумматорах **H** для оператора кватернионов $\mathbf{M}^+(P_i)$ изображена на рис. 2. Критический путь блока распределенной арифметики на сумматорах равен трем операциям сложения-вычитания, а умножителя кватернионов – четырем операциям сложения-вычитания согласно рис. 4 из работы [1]. Общая латентность умножителя кватернионов составит 12 операций сложения-вычитания. Матрицы \mathbf{B}_{post} , \mathbf{B}_{pre} и операции сдвига в блоке распределенной арифметики на сумматорах реализуются как коммутация соответствующих входных шин и поэтому не приводят к дополнительным затратам оборудования.

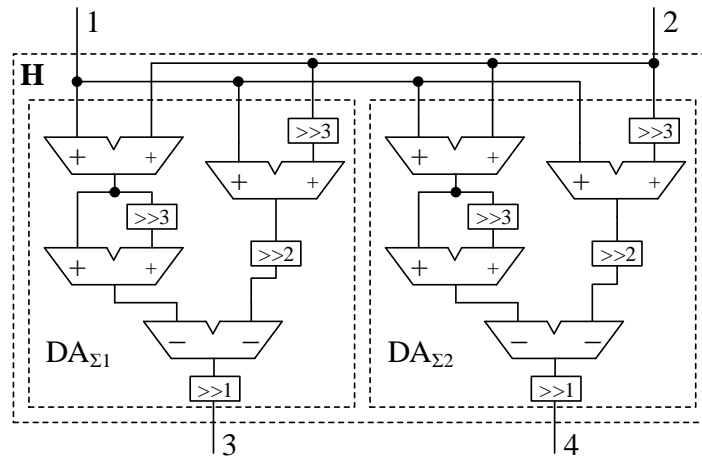


Рис. 2. Блок распределенной арифметики на сумматорах **H**

Параллельно-поточный процессор восьмиканального 8×24 Int-Q-ПУБФ. Параллельно-конвейерная структура процессора восьмиканального 8×24 Int-Q-ПУБФ с попарно зеркальной симметрией частотных характеристик (см. [1], рис. 2, $N = 3$) на основе встроенных Q-MUL IP-компонентов с распределенной арифметикой на сумматорах изображена на рис. 3. Архитектура процессора Int-Q-ПУБФ включает два параллельно работающих многоступенчатых конвейера из Q-MUL IP-компонента. Следует отметить, что все умножители кватернионов имеют одинаковую структуру (это показано на рис. 3 черным треугольником вверху блока), но выполняют разные операции в соответствии с рис. 2 из работы [1].

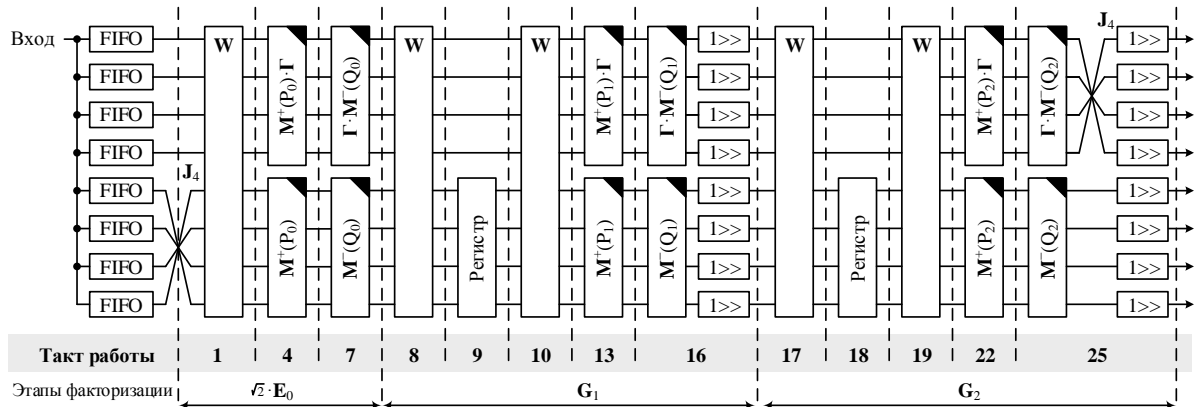


Рис. 3. Многоступенчатый конвейер восьмиканального 8×24 Int-Q-ПУБФ

Входной поток данных разбивается на части по восемь отсчетов, которые помещаются в соответствующие буферы памяти типа FIFO для согласования скорости работы процессора с частотой ввода данных в банк фильтров. Операция, определяющая период тактовой частоты конвейера процессора Int-Q-ПУБФ, – время выполнения ступени конвейера Q-MUL IP-компонента, состоящего из четырех операций сложения-вычитания. Операция задержки реализована на основе регистров и составляет один такт синхронизации процессора. Полное время задержки процессора равно 25 периодам синхронизации. Q-ПУБФ синтеза, как и Q-ПУБФ анализа, состоит из одинаковых компонентов, но переставленных в обратном порядке в соответствии с факторизацией полифазной передаточной матрицы банка синтеза [1].

Рабочая версия системы анализа-синтеза была получена с использованием библиотеки NUMERIC_STD. Моделирование разработанных VHDL-описаний проводилось в системе Xilinx ISE 14.7 и подтвердило корректность результата для кристалла Xilinx ZYNQ xc7z030-3fbg676. Анализ табл. 3 позволяет сделать вывод, что Int-Q-ПУБФ анализа и синтеза имеют одинаковые аппаратные затраты. Частота синхронизации работы Q-MUL IP-компонента составляет 200 МГц. Таким образом, производительность умножителя кватернионов равна 200 млн умножений кватернионов в секунду, а обработка входных данных восьмиканальным 8×24 Int-Q-ПУБФ ведется с максимальной скоростью 8×200 млн входных выборок в секунду.

Таблица 3

Результаты синтеза каждой ступени системы анализа-синтеза, шт.

Компонент	Slices	Slice Resisters	Slice LUTs	LUT-FF pairs
Int-Q-ПУБФ анализа	1588	3562	5604	5756
Int-Q-ПУБФ синтеза	1596	3623	5615	5677
Умножитель $M^+(P)$	159	217	431	469

Заключение. В работе предложена гибкая технология быстрого прототипирования архитектур процессоров Int-Q-ПУБФ на базе FPGA, в основу которой положен Q-MUL IP-компонент оператора умножения кватернионов на распределенной арифметике на сумматорах, обеспечивающий широкий диапазон регулировок параметров Int-Q-ПУБФ: амплитудных и фазочастотных характеристик, показателя эффективности кодирования, структурной регулярности, производительности, затрат ресурсов и форматов данных в арифметике с фиксированной запятой.

Список использованных источников

1. Рыбенков, Е. В. Синтез FPGA-архитектур банков фильтров на основе блочной лестничной факторизации в алгебре кватернионов (часть 1) / Е. В. Рыбенков, Н. А. Петровский // Информатика. – 2018. – Т. 15, № 2. – С. 29–44.
2. Petrovsky, N. A. Design and implementation of reversible integer quaternionic paraunitary filter banks on adder-based distributed arithmetic / N. A. Petrovsky, E. V. Rybenkov, A. A. Petrovsky // Signal Processing: Algorithms, Architectures, Arrangements, and Applications. – Poznan, 2017. – P. 17–22.
3. Petrovsky, N. Low read-only memory distributed arithmetic implementation of quaternion multiplier using split matrix approach / N. Petrovsky, A. Stankevich, A. Petrovsky // Electronics Letters. – 2014. – Vol. 50, no. 24. – P. 1809–1811. doi: 10.1049/el.2014.1775
4. Петровский, Н. А. CORDIC-техника для фиксированного угла вращения в операции умножения кватернионов / Н. А. Петровский, А. В. Станкевич, А. А. Петровский // Информатика. – 2015. – № 4(48). – С. 85–108.
5. Chang, T. S. New distributed arithmetic algorithm and its application to IDCT / T. S. Chang, C. Chen, C. W. Jen // IEE Proceedings – Circuits, Devices and Systems. – 1999. – Vol. 146, no. 4. – P. 159–163.
6. Vaidyanathan, P. P. Multirate Systems and Filter Banks / P. P. Vaidyanathan. – Englewood Cliffs, NJ : Prentice-Hall, 1993. – 911 p.
7. Корн, Г. А. Справочник по математике для научных работников и инженеров / Г. А. Корн, Т. М. Корн. – М. : Наука, 1974. – 832 с.
8. Li, B. A method for initializing free parameters in lattice structure of linear phase perfect reconstruction filter bank / B. Li, X. Gao // Signal Processing. – 2014. – Vol. 98. – P. 243–251.

References

1. Rybenkov E. V., Petrovsky N. A. Sintez FPGA-arhitektur bankov fil'trov na osnove blochnoj lestnichnoj faktorizacii v algebre kvaternionov (chast' 1) [Synthesis of FPGA architectures of block lifting-based filter banks in quaternion algebra (part 1)]. *Informatika [Informatics]*, 2018, vol. 15, no. 2, pp. 29–44 (in Russian).
2. Petrovsky N. A., Rybenkov E. V., Petrovsky A. A. Design and implementation of reversible integer quaternionic paraunitary filter banks on adder-based distributed arithmetic. *Signal Processing: Algorithms, Architectures, Arrangements, and Applications*. Poznan, 2017, pp. 17–22. doi: 10.23919/SPA.2017.8166830
3. Petrovsky N., Stankevich A., Petrovsky A. Low read-only memory distributed arithmetic implementation of quaternion multiplier using split matrix approach. *Electronics Letters*, 2014, vol. 50, no. 24, pp. 1809–1811. doi: 10.1049/el.2014.1775
4. Petrovsky N. A., Stankevich A. V., Petrovsky A. A. CORDIC-tehnika dlja fiksirovannogo ugla vrashhenija v operacii umnozhenija kvaternionov [CORDIC-techniques for fixed angle of rotation in multiplying operation of quaternions]. *Informatika [Informatics]*, 2015, no. 4(48), pp. 85–108 (in Russian).
5. Chang T. S., Chen C., Jen C. W. New distributed arithmetic algorithm and its application to IDCT. *IEE Proceedings – Circuits, Devices and Systems*, 1999, vol. 146, no. 4, pp. 159–163. doi: 10.1049/ip-cds:19990537
6. Vaidyanathan P. P. *Multirate Systems and Filter Banks*. Englewood Cliffs, NJ, Prentice-Hall, 1993, 911 p.
7. Korn G. A., Korn T. M. *Spravochnik po matematike dlja nauchnyh rabotnikov i inzhenerov [A Handbook of Mathematics for Scientists and Engineers]*. Moscow, Nauka Publ., 1974, 832 p. (in Russian).
8. Li B., Gao X. A method for initializing free parameters in lattice structure of linear phase perfect reconstruction filter bank. *Signal Processing*, 2014, vol. 98, pp. 243–251. doi: 10.1016/j.sigpro.2013.11.016

Информация об авторах

Рыбенков Евгений Викторович – ассистент кафедры электронно-вычислительных систем, Белорусский государственный университет информатики и радиоэлектроники (ул. П. Бровки, 6, 220013, Минск, Республика Беларусь). E-mail: rybenkov@bsuir.by

Петровский Николай Александрович – кандидат технических наук, доцент кафедры электронно-вычислительных систем, Белорусский государственный университет информатики и радиоэлектроники (ул. П. Бровки, 6, 220013, Минск, Республика Беларусь). E-mail: nick.petrovsky@bsuir.by

Information about the authors

Eugene V. Rybenkov – Assistant Professor, Department of Computer Engineering, Belarusian State University of Informatics and Radioelectronics (6, P. Brovki Str., 220013, Minsk, Republic of Belarus). E-mail: rybenkov@bsuir.by

Nick A. Petrovsky – Ph. D. (Engineering), Associate Professor, Department of Computer Engineering, Belarusian State University of Informatics and Radioelectronics (6, P. Brovki Str., 220013, Minsk, Republic of Belarus). E-mail: nick.petrovsky@bsuir.by