

УДК 681.325

Л.Д. Черемисинова

## СИНТЕЗ КОМБИНАЦИОННЫХ КМОП-СХЕМ С УЧЕТОМ ЭНЕРГОПОТРЕБЛЕНИЯ

*Обосновывается подход к логическому синтезу в базе библиотечных элементов сверхбольших интегральных схем, выполненных по КМОП-технологии, который позволяет минимизировать площадь и среднее значение рассеиваемой мощности КМОП-микросхемы при ее реализации на кристалле. Рассматривается случай синтеза комбинационных КМОП-схем, когда основные схемотехнические решения, такие, как частота синхронизации и напряжение питания, фиксированы и оценка энергопотребления в процессе синтеза схем производится на основе статического метода, основанного на вероятностных характеристиках входных сигналов. Обосновывается целесообразность использования элементного базиса, технологически обусловленного целевой КМОП-библиотекой, на этапе технологически независимой оптимизации и синтеза.*

### Введение

Переход на технологии сверхбольших (и ультрабольших) интегральных схем породил новые проблемы при их производстве и использовании. Высокая степень интеграции привела к появлению устройств более чувствительных к рассеиванию мощности, к обострению проблемы надежности по сравнению с аналогичными устройствами меньшей степени интеграции. Увеличение плотности монтажа и частоты функционирования обуславливает чрезмерное тепловыделение при функционировании устройств на базе СБИС, что приводит к перегреву и, как следствие, к возрастанию вероятности сбоев при их работе, снижению надежности и сокращению срока службы. Снижение энергопотребления схем перестает быть задачей, имеющей второстепенное значение и решаемой после сокращения площади и задержки микросхемы. При использовании технологии СБИС важно учитывать на стадии проектирования микросхем все три проблемы, а не только последние две.

Проектированию схем с малым энергопотреблением придается в последние годы все большее значение в связи с тем, что рассеивание энергии становится камнем преткновения при дальнейшем повышении уровня интеграции, а также в связи с расширением рынка портативных устройств с автономным питанием, для которых очень важно увеличить время их автономной работы без подзарядки. От величины потребляемой микросхемой мощности зависят такие важные параметры портативных устройств, как мощность источника питания, размер шин питания, требования к системе охлаждения, время разрядки аккумуляторной батареи, а следовательно, и время работы мобильных систем без перезарядки батареи.

Основные из упоминаемых в литературе [1, 2] возможных путей сокращения рассеиваемой мощности состоят в уменьшении величины напряжения питания, емкостей микросхем и межсоединений, динамического рассеивания энергии путем минимизации интенсивности переключений сигналов на входах КМОП-микросхем, а также в управлении синхронизацией и подачей питания (отключении от питания частей схемы на время, в течение которого они не выполняют полезной работы). Первые две из этих возможностей сокращения энергопотребления микросхем достигаются на схемотехническом уровне за счет выбора удачных технологических решений и топологии, третья – на системном уровне и последняя – на логическом уровне за счет построения удачной логической структуры. САПР микроэлектронных схем должны иметь средства, позволяющие оценить и минимизировать энергопотребление схем в процессе их проектирования, чтобы избежать дорогостоящей процедуры перепроектирования на стадии изготовления.

В настоящей работе рассматривается задача энергосберегающего синтеза многоуровневых логических схем из библиотечных элементов, выполненных на основе технологии статических КМОП-схем, которая в настоящее время является доминирующей технологией в области цифровых СБИС. Предлагается и обсуждается подход к синтезу, позволяющий минимизировать площадь и среднее значение мощности, рассеиваемой микросхемой, при реализации на кристалле КМОП СБИС. Рассматривается синтез комбинационных КМОП-схем для трех случаев: основные

схемотехнические решения, такие как частота синхронизации и напряжение питания, фиксированы; реализация схем предполагается синхронной; для оценки энергопотребления в процессе синтеза схем используется статический метод, основанный на вероятностных характеристиках входных сигналов. Проблема оценки энергопотребления статических КМОП-схем (по сравнению с динамическими) заключается в том, что компоненты СБИС, выполненные по этой технологии, потребляют подавляющую часть необходимой для их функционирования энергии во время переключения [1–4]. Энергопотребление существенно зависит от переключательной активности элементов схемы, а она, в свою очередь, определяется последовательностью подаваемых входных воздействий на КМОП-схемы, т. е. динамикой функционирования, и может быть учтена на этапе логического синтеза.

### 1. Мощность, потребляемая КМОП-схемой

Всю мощность, рассеиваемую КМОП-микросхемой, можно разделить на статическую и динамическую составляющие. Статическая составляющая обусловлена наличием токов утечки или статических проводящих путей между шинами питания. У большинства хорошо спроектированных КМОП-схем эта составляющая энергопотребления очень мала. Около 80 % всей рассеиваемой КМОП-схемой энергии приходится на ее динамическую составляющую [5], порождаемую нестационарным поведением узлов схемы. Эта энергия рассеивается только во время переходных процессов, когда сигналы на выходах узлов схемы переключаются. Чем больше происходит переключений, тем выше динамическая составляющая потребляемой мощности.

В КМОП-технологии основной вклад в суммарную динамическую мощность вносят два фактора [2, 3, 5, 6]: чисто динамическая мощность  $P_{dyn}$ , обусловленная зарядом и разрядом емкостной нагрузки узла, и мощность рассеивания энергии за счет сквозных токов через микросхему при переключениях в ней. Обычно величину последней составляющей рассчитывают, используя понятие внутренней емкости микросхемы, и на логическом уровне ее можно уменьшить за счет синтеза такой схемы, которая позволяет минимизировать площадь кристалла СБИС, требующуюся для размещения схемы, реализующей заданную функциональность. Динамическая рассеиваемая мощность  $P_{dyn}$  является наиболее существенной причиной потребления мощности КМОП-схемой в динамике. Она обусловлена токами заряда/разряда паразитных емкостей транзисторов и линий связи, эти емкости учитываются в виде емкостной нагрузки  $C_L$  выхода узла. При смене входного сигнала с 0 на 1 ток, протекающий через транзистор с  $p$ -каналом, заряжает емкость  $C_L$ ; при смене входного сигнала с 1 на 0 емкость  $C_L$  разряжается током, текущим через транзистор с  $n$ -каналом. В каждом из этих случаев на сопротивлении открытого транзистора рассеивается мощность, выражаемая известным упрощенным соотношением [1, 4]

$$P_{dyn} = \frac{1}{2} V_{dd}^2 f_{clk} E_s C_L, \quad (1)$$

где  $V_{dd}$  – напряжение питания;  $f_{clk}$  – частота синхронизации;  $E_s$  – переключательная активность выхода схемы, определяемая как математическое ожидание числа логических переходов сигнала (из 1 в 0 или из 0 в 1) за один период синхронизации;  $C_L$  – емкостная нагрузка выхода микросхемы.

Вклад в величину выходной емкости  $C_L$  микросхемы вносят три фактора: паразитная емкость  $C_p$  на выходе микросхемы; емкостная нагрузка  $C_{load}$  выхода, обусловленная суммарной емкостью транзисторов питаемых микросхем, и емкость  $C_{wire}$  соединений ее выхода. Величина  $C_{wire}$  становится известной только после разводки соединений и на уровне проектирования схемы обычно игнорируется. Величины  $C_p$  и  $C_{load}$  могут быть вычислены на основе данных, приводимых для микросхем заданной для проектирования технологической библиотеки.

Зависимость (1) выведена на базе следующих основных допущений о функционировании хорошо спроектированной КМОП-микросхемы: вся емкость КМОП-элемента сосредоточена на его выходном полюсе; ток внутри элемента течет только от источника питания к выходной емкости или от последней к земле; напряжение на выходе элемента изменяется только от значения напряжения источника питания до напряжения земли или наоборот. Этот подход игнорирует мощность, рассеиваемую:

- в процессе переключения внутренних узлов сложных КМОП-элементов;
- за счет сквозных токов через микросхему внутри КМОП-элементов;
- в результате переходных процессов (глюков, гонок).

Значения параметров  $V_{dd}$  и  $f_{clk}$  в (1) определяются при архитектурном проектировании; на логическом уровне произведение  $\frac{1}{2} V_{dd}^2 f_{clk}$  (оценивающее рассеивание мощности на единицу емкости при смене значения питающего напряжения) можно считать константой, одинаковой для всех узлов схемы. Минимизация динамической мощности сводится таким образом к минимизации произведения  $E_s C_L$  (часто называемого переключаемой емкостью), и рассеивание энергии схемой на уровне проектирования логики оценивается как сумма переключаемых емкостей всех ее узлов:

$$P_s = \sum_{i=1}^n E_i C_i, \quad (2)$$

где  $n$  – число узлов в схеме (суммирование проводится по всем узлам схемы);  $C_i$  – емкостная нагрузка  $i$ -го узла;  $E_i$  – переключаемая активность  $i$ -го узла схемы. Оценку динамической мощности (2) целесообразно использовать для сравнения вариантов схемной реализации заданной функциональности.

Анализируя формулу (1), можно сделать вывод [14], что на логическом уровне, когда схемы еще нет и часто неизвестен даже технологический базис, в котором она будет реализована, энергопотребление схемы может быть снижено путем такого ее преобразования, которое обеспечивает уменьшение переключаемой активности логической схемы без изменения ее функциональности. На самом же деле, как будет показано ниже, уже на стадии технологически независимой оптимизации [11] нужно принимать во внимание не только (и не столько) переключаемую активность, но и переключаемую емкость элементов того технологического базиса, в котором будет в конечном счете реализовано заданное функциональное описание.

## 2. Вероятностная оценка переключаемой активности схем

В основе методов оценки переключаемой активности узлов схемы, используемых в процессе ее проектирования, лежит подход, основанный на вероятностных характеристиках входных сигналов и функционально-структурных свойствах исследуемой схемы. Подход предполагает задание вероятностей переключения сигналов на входе схемы, отражающих частоту смены их значений, и используется для вычисления вероятностей переключения сигналов на выходах узлов схемы. Методы оценки переключаемой активности основаны на распространении вероятностной информации о смене значений сигналов через всю схему, от входов к выходам, именно поэтому эти методы также называют в литературе вероятностными [7]. Вероятностный подход позволяет компактно определить возможные последовательности входных воздействий на схему и оценить энергопотребление схемы исходя из взаимного влияния входных сигналов в последовательные моменты времени.

Подавляющая часть оценок интенсивности переключений сигналов на полюсах схемы, используемых в практике проектирования, выведена в предположении нулевой задержки сигнала узлами схемы, когда все переходы в схеме происходят одновременно, т. е. считается, что все изменения на входах схемы распространяются через ее элементы мгновенно (а значит, одновременно), и учитывается смена сигналов только в устойчивых состояниях, предусмотренных реализуемой узлом функцией. Эти оценки не учитывают переключения, обусловленные переходными процессами, которые также рассеивают энергию, не выполняя при этом предусмотренных схемой вычислений. Использование моделей реальных задержек существенно увеличивает время вычисления оценок переключаемой активности схемы, одновременно повышая их точность. Однако в процессе синтеза для сравнения вариантов оптимизации достаточно использовать более простые, быстро вычисляемые оценки, какими и являются оценки в предположении нулевого разброса задержек сигналов через схему.

Кроме того, в известных методах вычисления вероятностей предполагается, что сигналы на входных полюсах любого узла схемы независимы во временном и пространственном плане.

Временная независимость предполагает, что значение сигнала в любом такте синхронизации не зависит от его значений в предшествующих тактах. Пространственная независимость полюсов предполагает отсутствие корреляции значений сигналов на них. Она может возникать, когда пространственно связанные сигналы зависят друг от друга, что вызывается, например, наличием разветвлений на выходах элементов или обратных связей. На практике между сигналами может существовать устойчивая зависимость, вызываемая и другими причинами.

В литературе предложено множество вероятностных методов оценки энергопотребления логических схем [2, 4, 5, 7, 8], основная масса из них применима только для комбинационных схем. Методы оценки энергопотребления сформулированы:

– относительно разных предположений о задержке сигналов узлами схемы, о возможности разных видов зависимостей между сигналами, об учете переходных процессов при смене сигнала и т. д.;

– с применением разных статистических характеристик (вероятности появления сигнала 1, вероятности смены сигнала на полюсе, интенсивностей переключений сигналов – плотностей переключений сигналов, равновесных вероятностей, вероятностных форм сигналов и т. д.);

– с использованием разных моделей (на основе бинарных диаграмм решений (от англ. Binary Decision Diagram – BDD), коэффициентов корреляции и т. д.).

Суть предлагаемого ниже метода синтеза КМОП-схем из библиотечных элементов остается неизменной при любых используемых оценках переключательной активности узлов схемы, поэтому ниже используется наиболее простой метод ее оценки, верный в предположении нулевой задержки сигнала узлами схемы.

Различают вероятность  $p_i^1$  появления сигнала 1 (0) на некотором  $i$ -м полюсе и вероятность смены сигнала на этом полюсе [7]. Первая вероятность  $p_i^1$  называется *сигнальной вероятностью* (вероятностью появления сигнала 1) и определяется средней долей тактов, на которых сигнал на  $i$ -м полюсе имеет единичное значение. Вторая вероятность  $p_i^{1 \rightarrow 0}$  (или  $p_i^{0 \rightarrow 1}$ ) есть вероятность смены значения сигнала с 1 на 0 (или с 0 на 1) и определяется средней долей тактов, на которых сигнал на  $i$ -м полюсе меняет свое значение по сравнению со значением в предшествующем такте.

В предположениях нулевых задержек элементов (что исключает переключения за счет переходных процессов) и временной независимости сигналов вероятность  $p_i^{1 \rightarrow 0}$  ( $p_i^{0 \rightarrow 1}$ ) равна произведению вероятности появления на нем сигнала 1 (0) в одном такте на вероятность того, что в следующем такте на нем появится 0 (1). Соответственно переключательная активность  $i$ -го полюса схемы равна произведению  $E_i = p_i^{1 \rightarrow 0} p_i^{0 \rightarrow 1} = 2p_i^1 p_i^0$ . В предположении, что  $p_i^1, p_i^0 < 1$ , и обозначая  $p_i^1$  просто через  $p_i$ ,

$$E_i = 2p_i(1 - p_i). \quad (3)$$

Вероятность  $p_e$  появления сигнала 1 на выходе элемента  $e$  существенно зависит от вероятностных характеристик сигналов на его входах и от функции, реализуемой этим элементом. В случае когда сигналы на входах элемента не коррелируют в пространстве и во времени, сигнальные вероятности простых элементов типа инвертора, И, ИЛИ, И-НЕ, ИЛИ-НЕ с  $n(e)$  входными полюсами легко могут быть подсчитаны исходя из таблиц истинности реализуемых ими функций:

$$\begin{aligned} p_e^{\neg} &= 1 - p_1; \\ p_e^{\wedge} &= \prod_{i=1}^{n(e)} p_i; \\ p_e^{\vee} &= 1 - \prod_{i=1}^{n(e)} (1 - p_i); \\ p_e^{\bar{\wedge}} &= 1 - \prod_{i=1}^{n(e)} p_i; \\ p_e^{\bar{\vee}} &= \prod_{i=1}^{n(e)} (1 - p_i), \end{aligned} \quad (4)$$

где  $p_i$  – сигнальная вероятность (вероятность появления сигнала 1)  $i$ -го входа элемента.

### 3. Элементный базис КМОП СБИС

Элементный базис КМОП СБИС содержит достаточно широкий спектр различных логических элементов, среди которых центральное место занимает комбинационная логика – простые древообразные схемы из вентилях И, ИЛИ, НЕ. В этот набор, как правило, входят элементы И, ИЛИ, И-НЕ, ИЛИ-НЕ на разное число входов, обычно на 2, 3, 4, иногда и на 6, 8 входов, и, кроме того, древообразные схемы (из вентилях И, ИЛИ) с числом входных полюсов не более 4, 6 и числом уровней 2–4. Сложность (цена) библиотечного элемента характеризуется числом базовых ячеек (или транзисторов) его микросхемы.

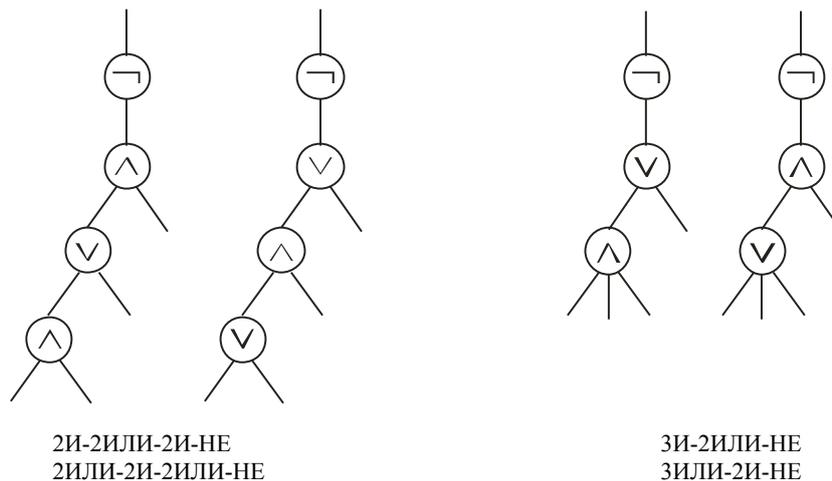


Рис. 1. Примеры структур сложных элементов КМОП-библиотеки

Отличительной чертой КМОП-библиотеки является также и то, что в ней для каждого элемента имеется «двойственный» элемент, который реализует функцию, двойственную функции первого элемента. Пример такой библиотеки приведен в [9], а структуры некоторых сложных ее элементов показаны на рис. 1.

### 4. Логический синтез в базисе библиотечных элементов

Синтез комбинационных многоуровневых сетей есть процесс представления системы логических уравнений в базисе элементов технологической библиотеки, каждый из которых характеризуется своей функцией и физическими характеристиками. В большинстве систем проектирования процесс логического синтеза делится на две стадии: технологически независимую оптимизацию и технологическое отображение [11]. Такие многоуровневые подходы к решению сложных проблем характерны для всех систем автоматизации, что обусловливается трудностями одновременного решения этих проблем.

Первая стадия синтеза ориентирована на оптимизацию и декомпозицию логики, а вторая – на реализацию полученного функционального описания в заданном технологическом базисе. Цель первого этапа заключается в минимизации сложности многоуровневой схемы в технологически независимом базисе элементов. Последний состоит, как правило, из простых вентилях, выбор которых не привязан ни к какому элементному базису реальной технологической библиотеки. Сложность многоуровневой схемы в таком базисе измеряется, как правило, числом вентилях, глубиной и оценкой энергопотребления на логическом уровне. Цель второго этапа заключается в оптимальном переводе схемы в технологический базис по критериям площади, быстродействия и энергопотребления.

Основной подход к решению задачи технологического отображения базируется на покрытии объектной сети подсхемами, реализующими библиотечные элементы. Под покрытием понимается разбиение объектной схемы на подсхемы, реализуемые библиотечными элементами. Существующие в литературе методы покрытия разделяются на функциональные и струк-

турные [11]. Функциональное покрытие основано на сравнении функций, реализуемых фрагментами покрываемой схемы и библиотечными элементами. При структурном покрытии задача технологического отображения сводится к оптимизации покрытия ориентированного ациклического графа, задающего исходную объектную сеть, ациклическими подграфами, задающими структуры библиотечных элементов в том же вентильном базисе, что и покрываемая сеть. Методы структурного покрытия обладают большим быстродействием и стали де-факто стандартом при проектировании СБИС с помощью САПР. Эти методы хорошо подходят для отображения схем в базис элементов КМОП-библиотеки.

Такой подход не предполагает кардинальную перестройку схемы, полученной на этапе технологически независимой оптимизации. Отсюда следует, что качество искомого покрытия существенно зависит от структуры объектной многоуровневой сети. Просчеты, допущенные при ее синтезе, не могут быть компенсированы в полной мере на этапе технологического отображения, поэтому в существующих САПР большое внимание уделяется этапу технологически независимой оптимизации и декомпозиции реализуемого описания в объектную сеть.

Технологически независимая оптимизация, используемая в системах логического проектирования микроэлектронных устройств, включает в себя, как правило, в качестве первого этапа минимизацию функций реализуемых логических описаний в классе ДНФ. Выполнение этого этапа обусловлено тем, что минимизация позволяет сократить исходное задание (иногда довольно существенно). Задача минимизации хорошо формализуется, и в настоящее время имеются эффективные программные средства, позволяющие оптимизировать системы булевых функций практической размерности. На втором этапе минимизированная система ДНФ, представляемая двухуровневой схемой, декомпозируется в объектную сеть базовых элементов, обычно одного или нескольких вентилях из множества И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ. Основным используемым во всех САПР методом решения задачи декомпозиции получаемых после минимизации систем ДНФ является алгебраическая декомпозиция [9].

Цель этапа декомпозиции заключается в построении такого варианта представления схемы, который мог бы служить хорошей отправной точкой для этапа технологического отображения в базис библиотечных элементов, выполненных по КМОП-технологии. Для того чтобы в итоге получить схему в технологическом базисе, оптимальную по сложности, быстродействию и энергопотреблению, необходимо на каждом из этих этапов учитывать все параметры качества искомой схемы, так как на каждом этапе оптимизационным преобразованиям подвергается схема, полученная на предшествующем этапе, и ее кардинальное изменение требует, по сути, полной ее перестройки (локальное преобразование не позволяет получить глобальное улучшение характеристик).

Существуют разные подходы к выбору базовых элементов технологически независимой сети. Обычно описание реализуемой логики транслируется (в результате минимизации) в эквивалентное И-ИЛИ описание, которое на этапе декомпозиции переводится в однородный базис двухвходовых И-НЕ или ИЛИ-НЕ [10, 11]. Сведение к минимуму числа базовых вентилях за счет их простоты (2И-НЕ, например), как это принято в ряде известных САПР, приводит к повышению гранулярности логической сети, а значит, в общем случае может повысить и качество ее покрытия библиотечными элементами за счет увеличения числа вариантов покрытия. Однако в случае КМОП-базиса эта возможность перекрывается значительно большим числом недостатков:

- усложняются представления библиотечных элементов;
- увеличивается число различных схемных представлений для каждого библиотечного элемента (для методов структурного покрытия схем библиотечными элементами их приходится находить в явном виде);
- уменьшается быстродействие методов покрытия за счет увеличения числа возможных вариантов покрытия и усложнения покрываемых схем.

Значительно более привлекателен (с точки зрения автора [9]) для случая КМОП-библиотеки выбор технологически обусловленного базиса базовых элементов. Если проанализировать состав КМОП-библиотеки, можно заметить, что структуры всех сложных элементов могут быть представлены схемами из чередующихся вентилях И и ИЛИ. Это значит, что простое представление многоместных функций И или ИЛИ в виде композиции двуместных не даст новых возможностей для покрытия, но приведет к упомянутым негативным последствиям. Поэтому для

рассматриваемого технологического базиса целесообразно выбрать в качестве базовых элементов вентили НЕ, И и ИЛИ с ограниченным числом входов, равным максимальному числу входов вентилях (И-НЕ, ИЛИ-НЕ) этой библиотеки.

Ниже будет показано, что при использовании алгебраической декомпозиции с точки зрения достижения наилучших параметров искомой схемы выгоднее не ограничивать число входов базовых элементов, так как это ограничение при использовании методов структурного покрытия (без выполнения эквивалентных преобразований в процессе покрытия) не приведет к достижению лучших параметров схемы в технологическом базисе.

### 5. Анализ подходов к технологически независимой оптимизации

Для того чтобы оценить влияние выбора базовых функций при технологически независимой декомпозиции схемы на сложность и энергопотребление ее реализации в технологическом базисе, рассмотрим для примера разные реализации конъюнкции  $k = abcdef$  ранга шесть. В качестве элементного базиса возьмем  $0,8 \mu\text{m}$  КМОП-библиотеку, характеристики основных элементов которой позаимствованы из монографии [6] и приведены в таблице. Здесь площадь элементов оценивается числом составляющих их топологических базовых ячеек, размеры которых зависят от технологии изготовления КМОП-элементов. Значения входных (емкостная нагрузка по входу) и выходных (емкостная нагрузка на выходе) емкостей элементов измеряются в фемтофарадах ( $1 \text{ фФ} = 10^{-15} \text{ Ф}$ ).

Характеристики элементов КМОП-библиотеки

Тип элемента	Площадь (баз. ячеек)	Емк. нагрузка по выходу (фФ)	Емк. нагрузка по входу (фФ)
Инвертор	2	85	48
2И-НЕ	3	105	48
3И-НЕ	4	132	48
6И-НЕ	7	200	48
2ИЛИ-НЕ	3	101	48
3ИЛИ-НЕ	4	117	48

Рассмотрим три реализации конъюнкции  $k = abcdef$  разной степени гранулярности (рис. 2), дающие представление о реализации разных ее декомпозиций.

Схемная реализация 1: 6И-НЕ и инвертор;

Схемная реализация 2: два 3И-НЕ и 2ИЛИ-НЕ;

Схемная реализация 3: три 2И-НЕ и 3ИЛИ-НЕ.

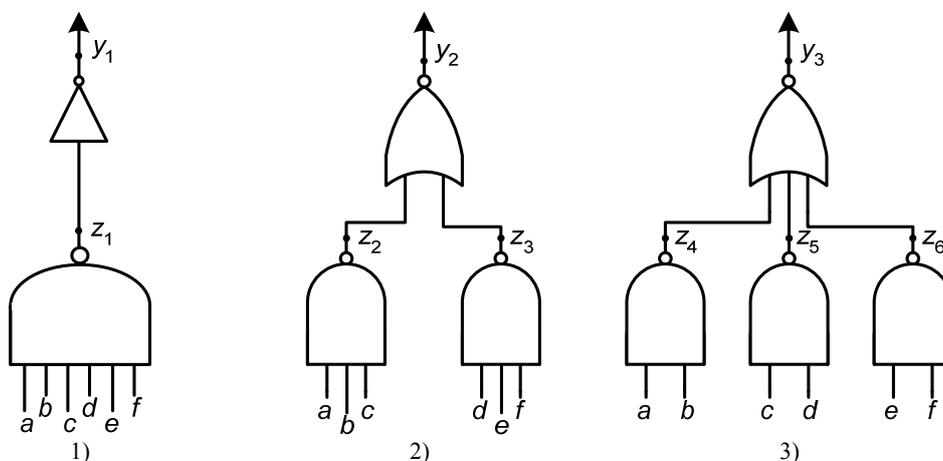


Рис. 2. Схемные реализации конъюнкции ранга шесть

Предположим, что схемы нагружены по выходу на емкостную нагрузку  $100 \text{ фФ}$ , все входные сигналы независимы во временном и пространственном смысле, сигнальные вероятности

всех входных сигналов равны 0,5. Последнее предположение никак не повлияет на сделанные в результате сравнения выводы в силу симметричности подвода входных сигналов к схемам.

Площади, занимаемые схемными реализациями на кристалле и оцениваемые числом базовых ячеек, равны соответственно

$$S_1 = 9; \quad S_2 = 11; \quad S_3 = 13.$$

Из приведенных оценок следует преимущество первой реализации. Для сравнения схемных реализаций по рассеиваемой ими мощности будем использовать оценки (2):

$$P_s = \sum_{i=1}^n E_i C_i,$$

где емкостная нагрузка  $i$ -го узла не учитывает внутреннюю емкость элемента (значение которой мало по сравнению с другими составляющими емкостной нагрузки) и емкость межсоединений (которая только еще больше усилит приведенные ниже результаты) и оценивается как

$$C_i = C_{ip} + C_{i\text{load}}, \quad (5)$$

где  $C_{ip}$  – паразитная емкостная нагрузка по выходу  $i$ -й микросхемы;  $C_{i\text{load}}$  – емкостная нагрузка входа  $i$ -й микросхемы.

При подсчете суммарной переключательной активности  $E_i$  схемных реализаций не будем учитывать переключательные активности входов схем, так как они одинаковы для всех реализаций. Сигнальные вероятности в соответствии с (4) и переключательные активности узлов схемных реализаций в соответствии с (3) имеют следующие значения:

$$\begin{aligned} p_{z1} &= 63/64; \quad E_{z1} = 63/2048; \quad p_{y1} = 1/64; \quad E_{y1} = 63/2048; \\ p_{z2} &= 7/8; \quad p_{z3} = 7/8; \quad E_{z2} = 7/32; \quad E_{z3} = 7/32; \quad p_{y2} = 1/64; \quad E_{y2} = 63/2048; \\ p_{z4} &= 3/4; \quad p_{z5} = 3/4; \quad p_{z6} = 3/4; \quad E_{z4} = 3/8; \quad E_{z5} = 3/8; \quad E_{z6} = 3/8; \quad p_{y2} = 1/64; \quad E_{y3} = 63/2048. \end{aligned} \quad (6)$$

Суммарные переключательные активности схемных реализаций (без учета переключательной активности выходного узла, которая одинакова для выходных узлов всех схем) имеют значения

$$E_1 = 0,03; \quad E_2 = 0,44; \quad E_3 = 1,12.$$

Оценки величины рассеивания энергии схемными реализациями в соответствии с (2), (5) и (6) равны соответственно

$$\begin{aligned} P_1 &= 63/2048(200 + 48) + 63/2048(48 + 100) = 12,18; \\ P_2 &= 2(7/32(132 + 48)) + 63/2048(101 + 100) = 84,8; \\ P_3 &= 3(3/8(105 + 48)) + 63/2048(117 + 100) = 178,6. \end{aligned}$$

Из вышеприведенных оценок очевидно преимущество первой схемной реализации конъюнкции как по площади, занимаемой на кристалле, так и по энергопотреблению.

Первая схемная реализация конъюнкции имеет наилучшие стоимостные и энергетические характеристики, в то время как третья – наихудшие, т. е. с дроблением конъюнкции на все более мелкие части результаты ухудшаются. При этом сравнительная разница этих оценок (особенно по энергопотреблению) позволяет утверждать, что данный результат будет иметь место и для других библиотек КМОП-элементов.

Полученные выше результаты сравнения разных реализаций одной и той же конъюнкции свидетельствуют в пользу технологически обусловленного подхода к выбору базовых

функций: в качестве базиса при логическом синтезе целесообразно использовать вентили, составляющие структуру библиотечных элементов технологического базиса. При этом выгодно не дробить схему до двухвходовых вентилях, а ограничить число входных полюсов максимальным из чисел входов вентилях библиотечных элементов. Например, для библиотеки, упоминаемой в [9], целесообразно декомпозировать двухуровневую схему, полученную после минимизации, в многоуровневую, состоящую из вентилях И и ИЛИ на 2–4, 6 и 8 входов (и инвертора).

## 6. Подход к энергосберегающему синтезу комбинационных КМОП-схем

Предлагаемый подход к синтезу комбинационных КМОП-схем по критериям стоимости и энергопотребления основан, как и большинство известных методов, на разбиении процесса логического синтеза на стадии технологически независимой оптимизации и технологического отображения. Однако синтез многоуровневой схемы на первом этапе предлагается вести не в технологически независимом базисе, а в технологически обусловленном базисе вентилях, на которые распадаются структуры основных элементов целевой КМОП-библиотеки.

Например, каждый элемент отечественной КМОП-библиотеки, прототипом которой является библиотека БМК [12], может быть представлен древообразной сетью из вентилях И, ИЛИ, НЕ. Каждое из этих деревьев имеет ограниченное число листовых вершин, а значит, целесообразно выбирать в качестве базовых элементов (для представления объектной и модельных сетей) вентили НЕ и И, ИЛИ с ограниченным числом входов – до четырех ( $m_{max} = 4$ ).

Исходя из принятых критериев оптимальности сети (сложности и энергопотребления), при технологически независимой оптимизации целесообразно находить и выделять общие части булевых функций реализуемой системы. Следовательно, функции исходной системы минимизируются совместно, а принимая во внимание специфику КМОП-библиотеки (ее элементами реализуются как функции, так и их инверсии), рационально проводить совместную минимизацию с учетом полярности функций [13]. Учет полярности позволяет выбрать ту форму (ДНФ или ее инверсию) реализации каждой из функций системы, которая имеет меньшую сложность (число литералов), а соответственно, как правило, и меньшую оценку энергопотребления реализующей ее подсхемы (по этому критерию тоже можно выбирать).

Для преобразования исходной минимизированной системы ДНФ в многоуровневую схему в выбранном технологически обусловленном базисе вентилях так же, как и в известных методах, предлагается использовать алгебраическую декомпозицию, основанную на манипуляции с заданием систем булевых функций в виде систем логических выражений, которая имеет целью уменьшение значений их оценок сложности и энергопотребления. Основной метод решения задачи декомпозиции получаемых после минимизации систем ДНФ сводится к факторизации – поиску и выделению общих частей логических выражений: конъюнкций и дизъюнкций системы ДНФ как алгебраических выражений [9].

Сложность библиотечного элемента характеризуется числом базовых ячеек, необходимых для его размещения на кристалле, емкостная нагрузка элемента также возрастает с ростом этого числа. Каждый элемент можно оценивать коэффициентом его логической эффективности, характеризующейся ценой реализации одного полюса представляющей его древообразной структуры – отношением цены элемента к числу полюсов этой структуры. Чем меньше значение коэффициента логической эффективности элемента, тем выше его функциональная эффективность. Например, наиболее эффективными КМОП-элементами [12] являются 2-И-2ИЛИ-НЕ и 2И-2ИЛИ-2И-НЕ, наименее эффективными – инвертор и двухвходовые вентили. Цена сложного элемента библиотеки, как правило, меньше суммы цен составляющих его вентилях, реализованных более простыми элементами. Из вышесказанного следует, что наиболее привлекательными с точки зрения покрытия библиотечными элементами являются сильно структурированные объектные сети в базисе вентилях с малым числом входных полюсов.

Для преобразования исходной минимизированной системы ДНФ используется процедура совместной факторизации «длинных» конъюнкций и дизъюнкций (длины более  $m_{max}$ ) всех ДНФ системы. При этом целесообразно на данном этапе выделять факторы, входящие не менее чем в две дизъюнкции или конъюнкции и имеющие длину более чем два. Последнее связано с тем,

что двухвходовые элементы И, ИЛИ, И-НЕ, ИЛИ-НЕ являются наиболее дорогими (наименее эффективными), в то время как наиболее эффективны элементы с многоуровневой структурой, которые состоят из двухвходовых вентилей И, ИЛИ. Получение фрагментов многоуровневой схемы из вентилей, покрываемых такими элементами, достигается при отдельной факторизации ДНФ реализуемой системы, выполняемой путем итеративной процедуры вынесения литералов ДНФ за скобки. Целью преобразования является понижение рангов всех конъюнкций и дизъюнкций до  $m_{max}$  и минимизация общего числа литералов в выражении. Такая двухуровневая процедура факторизации позволяет получать многоуровневые схемы из вентилей, эффективно покрываемые структурными методами технологического отображения. При факторизации на обоих этапах минимизируется сложность многоуровневой схемы, оцениваемая числом литералов ее представления в виде системы логических выражений, и энергопотребление, оцениваемое переключательной активностью схемы.

Предлагаемый технологически обусловленный подход к энергосберегающему синтезу комбинационных КМОП-схем предполагает:

- использование структурных методов отображения многоуровневой схемы из вентилей в технологический базис КМОП-элементов;
- выбор технологически обусловленного базиса вентилей на этапе технологически независимого синтеза многоуровневой схемы из вентилей;
- учет специфики элементов КМОП-библиотеки при минимизации реализуемой системы булевых функций и ее дальнейшей алгебраической декомпозиции.

Преимущества подхода заключаются в том, что он позволяет:

- 1) получить на этапе технологически независимой оптимизации логическую сеть, максимально приближенную к технологическому базису;
- 2) упростить модельные представления библиотечных элементов и размер покрываемой технологически независимой схемы (за счет использования более сложных вентилей);
- 3) сократить размер используемой при покрытии библиотеки (за счет уменьшения числа разных представлений одного и того же библиотечного элемента);
- 4) использовать более эффективные и простые алгоритмы покрытия при технологическом отображении (в силу выполнения пп. 1–3);
- 5) получить лучшие по энергопотреблению схемы за счет его учета на ранних этапах проектирования;
- 6) облегчить задачу оптимизации схемы по энергопотреблению на этапе отображения схемы в технологический базис за счет переноса центра тяжести на предшествующие этапы, где существует большая свобода при выборе вариантов, более подходящих в смысле энергопотребления.

### **Заключение**

Анализ элементного состава КМОП-библиотеки и двухэтапных подходов к синтезу схем свидетельствует о следующем:

- решения, принимаемые на ранних этапах оптимизации, ограничивают свободу минимизации проекта на поздних стадиях и не позволяют кардинально улучшить такие характеристики построенной ранее структуры, как площадь и энергопотребление;
- решения, принимаемые на этапе оптимизации многоуровневой схемы в технологически независимом базисе, основываются на эвристических критериях, не принимающих во внимание целевой технологический базис;
- для того чтобы получить в итоге многоэтапного процесса синтеза схему в технологическом базисе с малым энергопотреблением, необходимо на всех этапах технологически независимой оптимизации отбирать варианты, которые позволят на этапе технологического отображения минимизировать схему в целевом технологическом базисе по критериям сложности и энергопотребления.

Предложен технологически обусловленный подход к синтезу логических схем в базисе библиотечных элементов КМОП СБИС, в основе которого лежит использование на этапе технологически независимой оптимизации элементного базиса вентилей, обусловленного целевой КМОП-библиотекой.

**Список литературы**

1. Рабаи, Ж.М. Цифровые интегральные схемы. Методология проектирования / Ж.М. Рабаи, А. Чандракасан, Б. Николич. – М. : ООО «И.Д. Вильямс», 2007. – 912 с.
2. Уэйкерли, Дж. Проектирование цифровых устройств. Т. 1 / Дж. Уэйкерли. – М. : Постмаркет, 2002. – 544 с.
3. Benini, L. Logic Synthesis for Low Power / L. Benini, G. De Micheli // Logic Synthesis and Verification ; eds. S. Hassoun, T. Sasao, R.K. Brayton. – Boston, Dordrecht, London : Kluwer Academic Publishers, 2002. – P. 197–223.
4. Pedram, M. Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. – 1996. – Vol. 1. – P. 3–56.
5. Roy, K. Low Power CMOS VLSI Circuit Design / K. Roy, S.C. Prasad. – N. Y. : John Wiley and Sons Inc., 2000. – 376 p.
6. Bellaouar, A.B. Low-Power Digital VLSI Design: Circuits and Systems / A.B. Bellaouar, M.I. Elmasry, J. Allen. – USA, Norwell : Kluwer Academic Publishers, Fourth Printing, 1999. – 530 p.
7. Najm, F.N. A survey of Power Estimation Techniques in VLSI Circuits / F.N. Najm // IEEE Trans. on VLSI. – 1994. – № 12. – P. 446–455.
8. Simulation and reduction of CMOS power dissipation at logic level / F. Dresig [et al.] // European Design Automation Conf. – Paris, France, 1993. – P. 341–346.
9. Черемисинова, Л.Д. Синтез и оптимизация комбинационных структур СБИС / Л.Д. Черемисинова – Минск : ОИПИ НАН Беларуси, 2005. – 236 с.
10. BooleDozer: Logic synthesis for ASICs / L. Stok [et al.] // IBM J. Res. and Dev. – 1996. – Vol. 40, № 4. – P. 407–430.
11. Брейтон, Р.К. Синтез многоуровневых комбинационных логических схем / Р.К. Брейтон, Г.Д. Хэчтел, А.Л. Санджованни-Винченелли // ТИИЭР. – 1990. – Т. 78, № 2. – С. 38–83.
12. Лукошко, Г. КМОП базовые матричные кристаллы серии K1574 / Г. Лукошко, Е. Коннов // Радиолобитель. – 1997. – № 9. – С. 39–40.
13. Торопов, Н.Р. Минимизация системы булевых функций с поляризацией их значений / Н.Р. Торопов // Автоматизация проектирования дискретных систем : материалы Четвертой Международной конф. CAD DD'2001. – Минск : Ин-т техн. кибернетики НАН Беларуси, 2001. – С. 92–104.
14. Мурашко, И.А. Проектирование цифровых устройств с пониженным энергопотреблением / И.А. Мурашко // Информационные системы и технологии (IST'2009) : материалы V Международной конф.-форума. Минск, 16–17 ноября 2009. – Ч. 2. – Минск : А.Н. Вараксин, 2009. – С. 217–218.

Поступила 27.04.10

*Объединенный институт проблем  
информатики НАН Беларуси,  
Минск, Сурганова, 6  
e-mail: cld@newman.bas-net.by*

**L.D. Cheremisinova**

**LOW-POWER SYNTHESIS OF COMBINATIONAL CMOS NETWORKS**

An approach to the logic synthesis using CMOS element library, which allows to minimize the square and the average value of the dissipated power of microcircuit implemented on CMOS VLSI chip, is suggested. The case of synthesis of combinational CMOS networks is considered when the key schematic solutions, such as clock frequency and supply voltage, are assigned, and for the purposes of energy estimation during the synthesis process the static method based on probabilistic properties of input signals is used. The rationality of using the technology-specific element basis, caused by specific CMOS library, on the technologically independent phase of optimization and logic synthesis is proved.