

ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

УДК 519.7

Ю.В. Поттосин

**ЭНЕРГОСБЕРЕГАЮЩЕЕ ПОКРЫТИЕ
БИБЛИОТЕЧНЫМИ ЭЛЕМЕНТАМИ СХЕМЫ, РЕАЛИЗУЮЩЕЙ
ДИАГРАММУ ДВОИЧНОГО ВЫБОРА**

Рассматривается задача покрытия библиотечными модулями комбинационной схемы, реализующей систему булевых функций и представленной в виде диаграммы двоичного выбора. При этом для уменьшения энергопотребления узлы схемы с высокой интенсивностью переключений должны оказываться по возможности внутри библиотечных модулей. Предлагается метод, сводящий решение данной задачи к изоморфному вложению графов. Приводится пример покрытия схемы модулями серии K1574.

Введение

В последнее время проектировщики электронной техники и исследователи в области проектирования дискретных устройств стали уделять много внимания сокращению расхода энергии при эксплуатации проектируемого устройства. Это обусловлено стремлением увеличить время действия источника энергии в портативных приборах, а также снизить остроту проблемы отвода тепла при проектировании сверхбольших интегральных схем. Поэтому одним из основных критериев оптимизации при проектировании дискретных устройств является величина потребляемой энергии схемы. Как отмечено в работе [1], потребляемая мощность схемы, построенной на основе КМОП-технологии, пропорциональна интенсивности переключений узлов схемы. Это дает возможность частично решать данную проблему на уровне логического проектирования.

Диаграмма двоичного выбора (Binary Decision Diagram, BDD) является одним из способов представления булевой функции или системы булевых функций [2]. BDD представляет собой конечный ориентированный граф без контуров, в котором можно выделить два типа вершин. Конечные вершины, их всего две, имеют нулевую полустепень исхода, и одна из них помечена константой 0, вторая – константой 1. Все вершины иного типа имеют полустепень исхода, равную двум, и помечены булевыми переменными – аргументами булевых функций, представляемых данной BDD. Одна из дуг, исходящих из вершины x_i , соответствует $x_i = 0$, вторая – $x_i = 1$. Из вершин этого типа следует выделить вершины с нулевой полустепенью захода – начальные вершины. Им соответствуют задаваемые функции. Набор значений переменных, обращающий функцию f_j в 0 или 1, представлен дугами, лежащими на пути в графе от начальной вершины, соответствующей f_j , в конечную вершину с соответствующей меткой.

Для ряда задач проектирования дискретных устройств BDD является довольно удобным способом представления булевых функций в том смысле, что на его основе удастся применять эффективные методы решения данных задач [2]. В частности, BDD легко преобразуется в логическую схему из двухвходовых элементов И, ИЛИ. В статье предлагается способ синтеза в заданном библиотечном базисе комбинационной схемы, реализующей систему булевых функций, которая представлена в виде BDD.

Если не учитывать задержку сигналов в логических элементах, то повлиять на интенсивность переключений в фиксированной схеме невозможно, но использовать эту величину для снижения потребления энергии можно при покрытии ее библиотечными элементами. Покрывать надо так, чтобы узлы схемы с наибольшей интенсивностью переключений по возможности оказались внутри библиотечных элементов [3]. Действительно, сокращение длины соединительных проводников в схеме ведет к уменьшению паразитных емкостей схемы, на перезарядку которых в процессе переключений расходуется энергия питания. В статье предлагается метод покрытия логической схемы библиотечными элементами, основанный на сведении данной задачи к изоморфному вложению графов [4]. Подобная задача для электрических схем решалась в работе [5], а для логических схем при задании булевых функций в виде ДНФ – в работе [6]. Краткий обзор мето-

дов определения изоморфизма и изоморфного вложения графов содержится в работе [7]. Другой подход, который можно назвать алгебраическим, представлен в работе [8], снижение энергопотребления достигается путем уменьшения числа транзисторов в схеме.

1. Преобразование BDD-представления в комбинационную схему

Пример задания в виде BDD системы из четырех функций от четырех переменных показан на рис. 1, б, где дуги, соответствующие нулевым значениям переменных, изображены прерывистыми линиями.

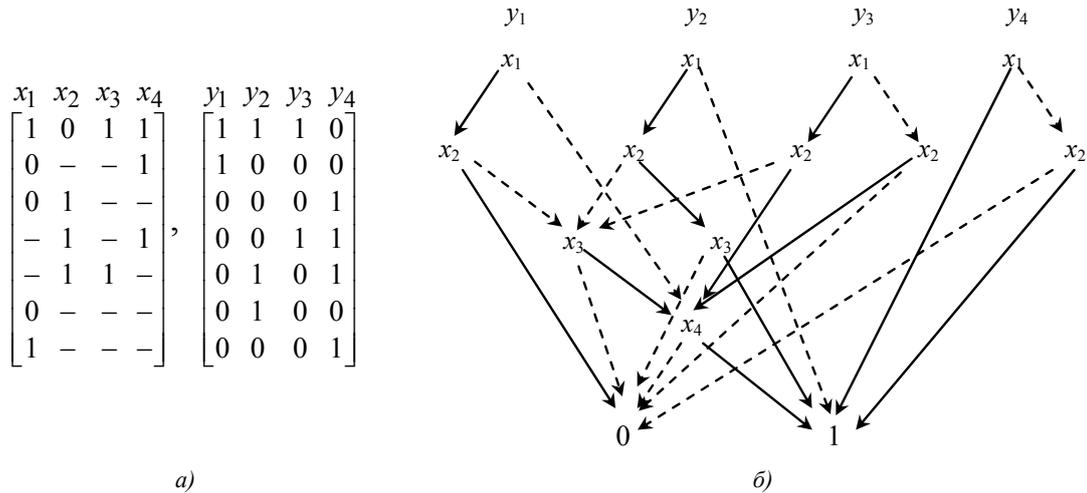


Рис. 1. Два вида представления системы булевых функций: а) матричное; б) в виде BDD

Можно считать, что BDD уже представляет структуру схемы, которая реализует систему булевых функций, заданную данной BDD, в базисе двухвходовых элементов И, ИЛИ. На рис. 2 показано, как преобразуется при этом узел BDD во фрагмент логической схемы, где f_1 и f_0 – коэффициенты дизъюнктивного разложения Шеннона функции f по переменной x . На выходе этой схемы находится элемент ИЛИ, на входы которого поступают сигналы с выходов элементов И.

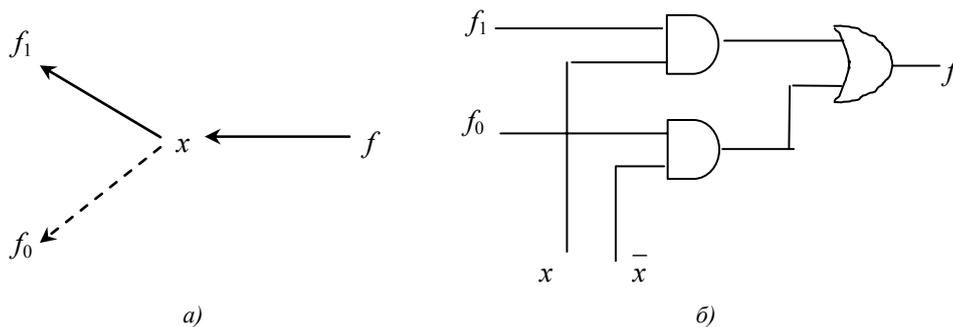


Рис. 2. Реализация BDD логической схемой: а) узел BDD, связанный с переменной x ; б) фрагмент логической схемы, соответствующий данному узлу

Путем непосредственной трансляции, исходя из соответствия, представленного на рис. 2, граф, изображенный на рис. 1, переводится в схему, которая после очевидных упрощений показана на рис. 3. Эти упрощения заключаются в удалении некоторых элементов И и ИЛИ, когда коэффициенты разложения f_1 и f_0 оказываются константами 0 и 1. Существенной особенностью этой схемы является то, что она представляет многоуровневую структуру с чередованием элементов И и ИЛИ, в ней отсутствуют инверторы и сигналы подаются на входы в парафазном коде.

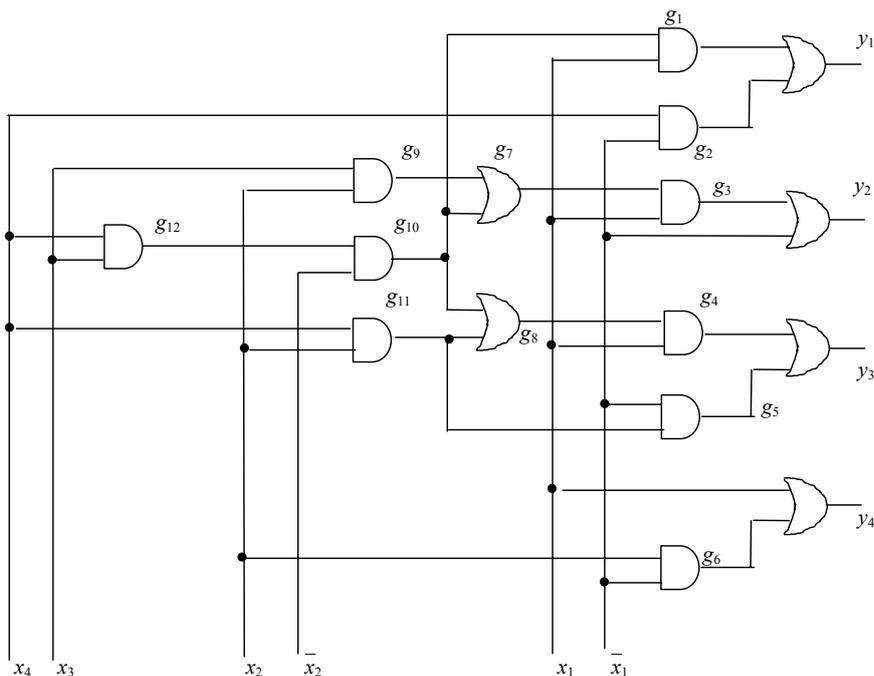


Рис. 3. Схема, реализующая систему булевых функций из рис. 1

2. Модель логической схемы

Логическая схема рассматривается как ориентированный граф, а заданная библиотека представляется как множество ориентированных графов. Вершинам графа соответствуют элементы и входные полюса схемы, а дуги показывают направления сигналов от выходов одних элементов к входам других. Заданный граф надо покрыть подграфами, для каждого из которых в библиотеке найдется изоморфный ему граф. Существенным в этом случае является то, что вершины графов имеют метки, которые представляют типы соответствующих этим вершинам элементов. Вершины, представляющие входные полюса схемы и библиотечных элементов, меток не имеют.

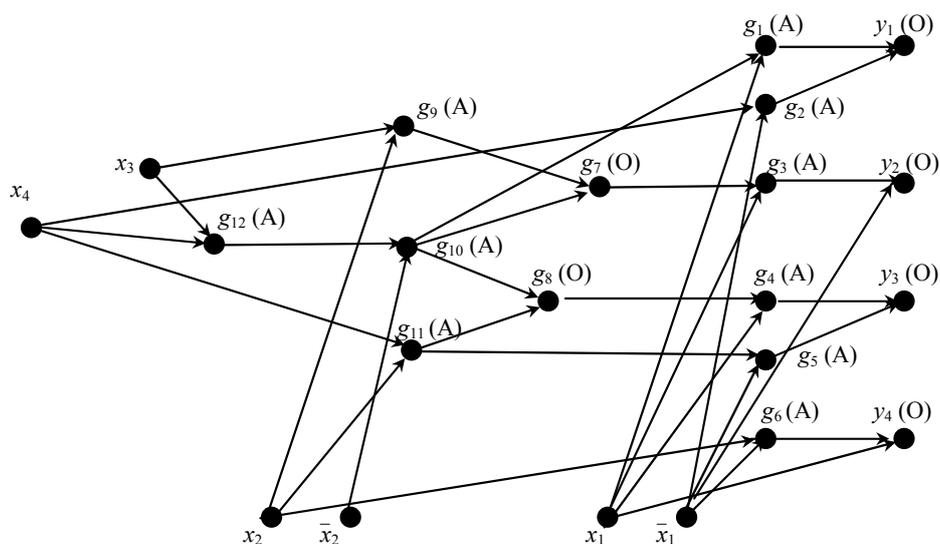


Рис. 4. Граф, представляющий логическую схему

В качестве примера рассмотрим схему на рис. 3. Ориентированный граф, представляющий данную схему, изображен на рис. 4. Вершины, представляющие элементы ИЛИ, имеют метку О, вершины, представляющие элементы И, – метку А.

3. Определение интенсивности переключений на узлах схемы

Используя модель нулевой задержки, интенсивность переключений на некотором узле заданной схемы можно оценить вероятностью переключений в этом узле [3]. При условии, что сигналы, подаваемые на входы схемы, независимы друг от друга и независимы во времени, интенсивность переключений на узле g_i определим по формуле

$$E_i(sw) = 2 p(g_i) (1 - p(g_i)),$$

где $p(g_i)$ – вероятность состояния 1 узла g_i [3]. Для простой схемы, какой является схема на рис. 3, эти вероятности можно определить по приведенной ниже таблице истинности, показывающей состояния всех узлов схемы при всех наборах входных сигналов. При условии, что на любой входной полюс схемы независимые сигналы 0 и 1 приходят с одинаковой вероятностью, равной 0,5, в данном случае имеем

$$E_1(sw) \approx 0,117;$$

$$E_2(sw) = E_6(sw) = E_9(sw) = E_{11}(sw) = E_{12}(sw) = 0,375;$$

$$E_3(sw) = E_4(sw) \approx 0,305;$$

$$E_5(sw) = E_{10}(sw) \approx 0,219;$$

$$E_7(sw) = E_8(sw) \approx 0,656.$$

Функциональная зависимость между состояниями узлов схемы на рис. 3

x_1	x_2	x_3	x_4	g_{12}	g_{11}	g_{10}	g_9	g_8	g_7	g_6	g_5	g_4	g_3	g_2	g_1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	1	0	1	0	1	1	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	1	0	0	1	0	1	1	0	0	1	0
0	1	1	0	0	0	0	1	0	1	1	0	0	0	0	0
0	1	1	1	1	1	0	1	1	1	1	1	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	1	0	1	0	1	1	0	0	1	1	0	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1	0	0	0	1	0	0	0
1	1	1	0	0	0	0	1	0	1	0	0	0	1	0	0
1	1	1	1	1	1	0	1	1	1	0	0	1	1	0	0

4. Процесс изоморфного вложения графов

Пусть в графе $G = (V, A)$, где V – множество вершин, а A – множество дуг (ориентированных ребер), надо выделить подграф $G' = (V', A')$, изоморфный графу $H = (U, B)$, т. е. найти $V' \subseteq V$ и $A' \subseteq A$, а также $\varphi : V' \leftrightarrow U$ и $\psi : A' \leftrightarrow B$, такие, что для всяких $u_1, u_2 \in U$, если $\varphi(u_1) = v_1$, $\varphi(u_2) = v_2$ и $(u_1, u_2) \in B$, то $(v_1, v_2) \in A'$ и $\psi(u_1, u_2) = (v_1, v_2)$. В нашем случае вершины имеют метки (типы элементов), т. е. заданы отображения $f : V \rightarrow M$ и $f' : U \rightarrow M'$, где M – множество меток вершин графа G , а M' – множество меток вершин графа H ($M' \subseteq M$). Тогда если $\varphi(u) = v$, то $f(v) = f'(u)$.

Предлагаемый процесс нахождения изоморфного вложения графа H в граф G представим как перебор вершин $u \in U$ и поиск для них тех вершин из V , которые могут быть им изоморфны. Пусть имеется некоторое текущее значение φ , определенное на некоторых подмножествах множеств U и V . Определим для вершины $u \in U$ множество $V_u \subseteq V$. Каждая вершина $v \in V_u$ обладает следующими свойствами:

- $f(v) = f'(u)$ или вершина v метки не имеет;
- число дуг, исходящих из вершины v , не меньше числа дуг, исходящих из u , а число дуг, заходящих в v , не меньше числа дуг, заходящих в u ;
- если $(u, u') \in B$ и $\varphi(u') = v'$, то $(v, v') \in A$, и если $(u', u) \in B$ и $\varphi(u') = v'$, то $(v', v) \in A$;
- если $\varphi(u') = v'$, $(u, u') \notin B$ и $(u', u) \notin B$, то $(v, v') \notin A$ и $(v', v) \notin A$.

Множество V_u представляет варианты установления соответствия между вершиной u и вершинами графа G . Упомянутый поиск изоморфного вложения представим как обход дерева поиска [9], вершинам которого соответствуют состояния процесса, характеризуемые парами вершин u, v при установленном отображении $\varphi(u) = v$, а ребрам – варианты выбора вершин $v \in V$.

Пусть вершины графа H упорядочены в порядке их выбора для установления соответствия с вершинами графа G , т. е. пусть $U = \{u_1, u_2, \dots, u_k\}$. Прямой ход состоит в выборе очередной вершины $u_i \in U$, формировании множества $V_{u_i} = \{v_1^i, v_2^i, \dots, v_p^i\}$ и установлении соответствия $v_1^i = \varphi(u_i)$. Вершина v_1^i при этом удаляется из V_{u_i} . Если $V_{u_i} = \emptyset$, то делается обратный ход, который состоит в возвращении к вершине u_{i-1} и замене предыдущего значения $\varphi(u_{i-1}) = v_j^{i-1}$ на v_{j+1}^{i-1} . Если в результате последовательности обратных ходов пришли к состоянию, когда $V_{u_1} = \emptyset$, это означает, что граф H не вкладывается в G . Следует взять другой граф из библиотеки и проделать ту же процедуру.

Если удалось установить соответствие φ между вершинами библиотечного графа H и вершинами подграфа G' , то вершины последнего стягиваются в одну, которая помечается особой меткой, и описанный процесс повторяется до тех пор, пока все вершины графа G не окажутся с такими метками.

Предлагаемый процесс начинается с того, что в графе, представляющем исходную схему, выбирается вершина, соответствующая узлу с наибольшей интенсивностью переключений, и для нее берется вершина в библиотечном графе с той же меткой. Если укладываемых библиотечных графов оказывается несколько, то выбирается тот, который обладает наибольшим количеством вершин.

5. Пример покрытия схемы библиотечными элементами

Для рассматриваемого примера схемы на рис. 3 возьмем модули, содержащиеся в реальной библиотеке серии K1574 [10]. Как уже отмечалось, одной из особенностей рассматриваемых схем является отсутствие инверторов внутри схемы, тогда как большинство модулей из заданной библиотеки реализуют отрицание конъюнкции, дизъюнкции, ДНФ или КНФ. Поэтому целесообразно снабдить особой меткой графы, представляющие модули с отрицанием, а в самом графе отрицание не показывать. При этом покрытие таким модулем должно сопровождаться введением инвертора на его выходе.

Поскольку максимальная интенсивность переключений наблюдается на узлах g_7 и g_8 и окрестности соответствующих вершин графа (рис. 4) подобны, в первую очередь для них

подбирается такой модуль, чтобы g_7 и g_8 оказались внутри него. Такой модуль вместе с представляющим его графом изображен на рис. 5. Для вершины g_7 устанавливается соответствие $\varphi(2) = g_7$ и, аналогично, $\varphi(1) = g_3$, $\varphi(3) = x_1$, $\varphi(4) = g_{10}$ и $\varphi(5) = g_{11}$. Для вершины g_8 также установим $\varphi(2) = g_8$ и, аналогично, $\varphi(1) = g_4$, $\varphi(3) = x_1$, $\varphi(4) = g_{12}$ и $\varphi(5) = g_{13}$.

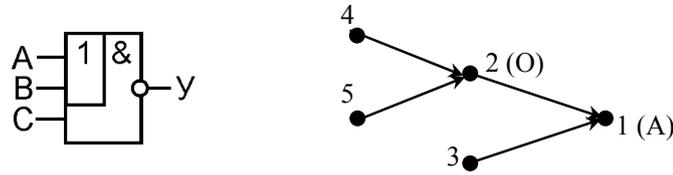


Рис. 5. Модуль для покрытия элементов g_7 и g_8 и соответствующий ему граф

Преобразование графа, представляющего схему, показано на рис. 6, где вершины g_7 и g_3 заменены вершиной m_1 (вершиной с меткой m_1), представляющей покрывающий модуль, и вершиной n_1 , представляющей введенный инвертор. Вершины g_8 и g_4 заменены соответственно вершинами m_2 и n_2 .

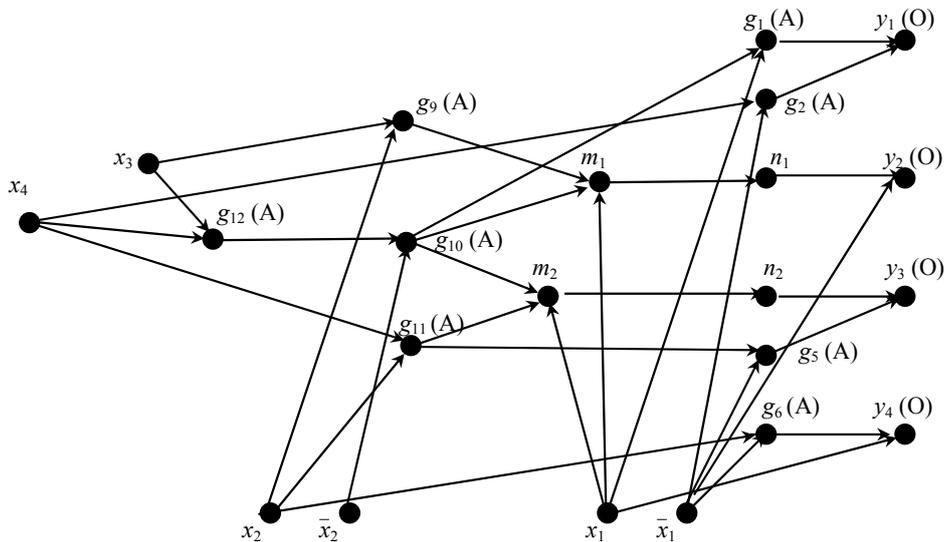


Рис. 6. Результат преобразования графа на рис. 4

Очередным шагом является покрытие узла g_2 , обладающего следующим по порядку убывания значением интенсивности переключения. При этом выбирается модуль, покрывающий наибольшее число соседних элементов (рис. 7). Здесь также необходимо ввести вершину, представляющую инвертор. Результат преобразования показан на рис. 8.

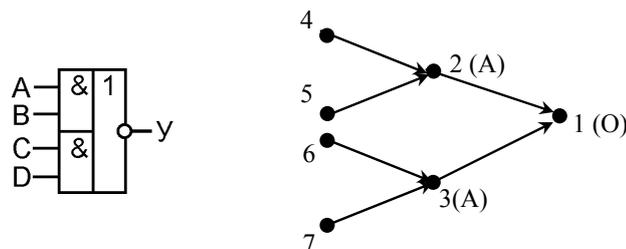


Рис. 7. Модуль для покрытия узла g_2 и соответствующий граф

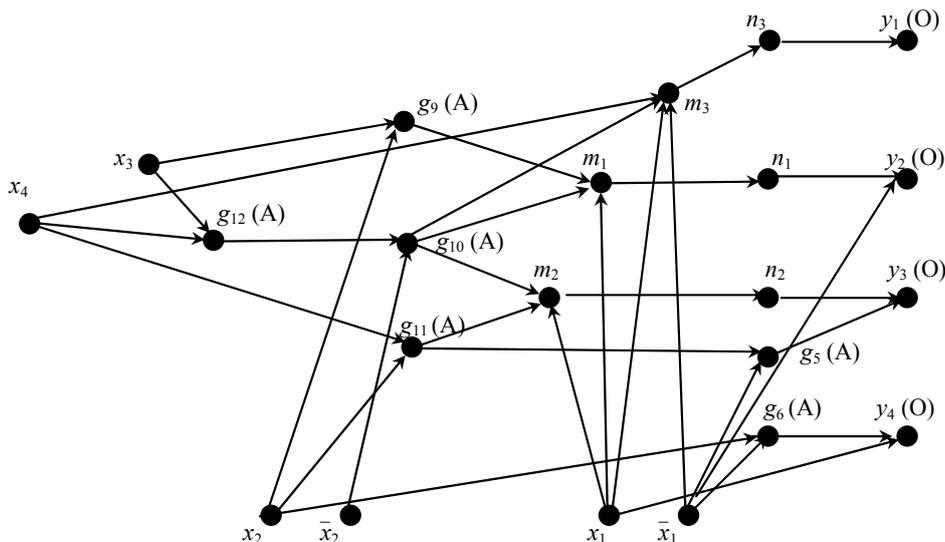


Рис. 8. Результат преобразования графа на рис. 6

Оставшиеся непокрытыми узлы покрываются в следующем порядке: g_6 , g_{12} , g_5 . При этом g_5 и g_6 покрываются модулями, тип которых изображен на рис. 9, а модуль, покрывающий g_{12} , представлен на рис. 10. Элементы g_9 , g_{11} и элемент на выходе y_2 покрываются отдельными модулями. Граф, представляющий схему, которая покрыта модулями, изображен на рис. 11. Схема из библиотечных элементов представлена на рис. 12.

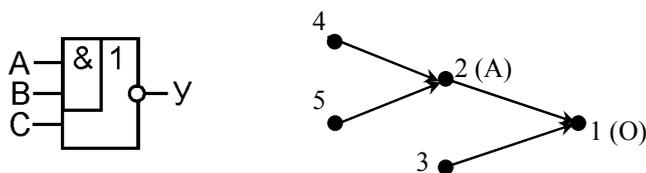


Рис. 9. Модуль для покрытия узлов g_5 и g_6 и соответствующий граф

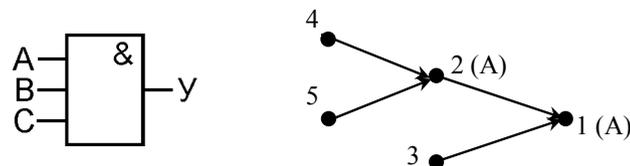


Рис. 10. Модуль для покрытия узла g_{12} и соответствующий граф

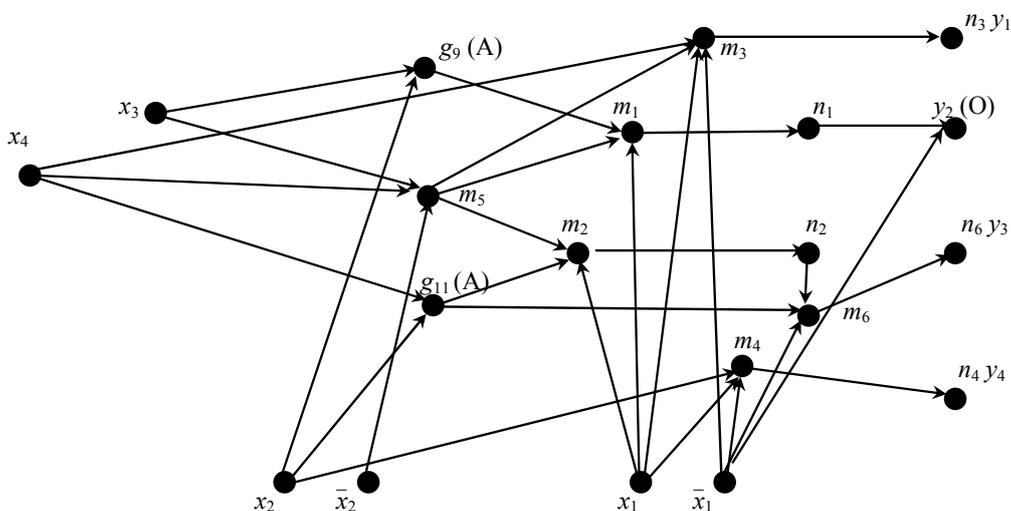


Рис. 11. Результат преобразования графа на рис. 8

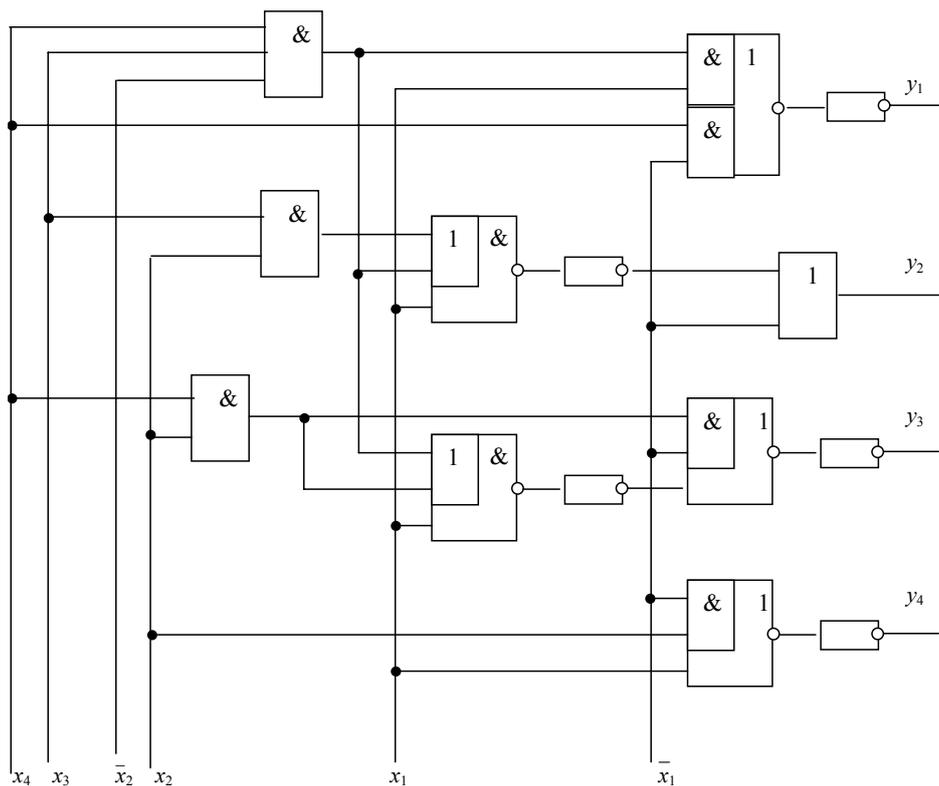


Рис. 12. Результат покрытия схемы библиотечными элементами

Заключение

Предложенный метод является достаточно универсальным, т. е. он применим для различных серий библиотечных модулей. Однако при конкретной реализации метода следует учитывать особенности используемой серии. В описанном случае этот учет выражается в добавлении в граф вершин, представляющих инверторы.

Список литературы

1. Мурога, С. Системное проектирование сверхбольших интегральных схем. В 2-х кн. Кн. 1 / С. Мурога. – М. : Мир, 1985. – 288 с.
2. Bryant, R.E. Graph-based algorithms for Boolean function manipulation / R.E. Bryant // IEEE Trans. Comput. – 1986. – Vol. C-35, № 8. – P. 677–691.
3. Pedram, M. Power Minimization in IC Design: Principles and Applications / M. Pedram // ACM Transactions Design Automation Electronic Systems. – 1996. – Vol. 1. – P. 3–56.
4. Алгоритмы и программы решения задач на графах и сетях / М.И. Нечепуренко [и др.] – Новосибирск : Наука. Сиб. отд-ние, 1990. – 515 с.
5. Krasilnikova, L.V. Partition of a transistor circuit into library modules / L.V. Krasilnikova, Yu.V. Pottosin // Proc. of the Second Intern. Conf. on Computer-Aided Design of Discrete Devices (CAD DD'97). – Minsk : UIP NASB, 1997. – Vol. 1. – P. 94–97.
6. Поттосин, Ю.В. Покрытие логической схемы подсхемами из заданного библиотечного набора, направленное на уменьшение энергопотребления / Ю.В. Поттосин // Танаевские чтения. Доклады Четвертой Междунар. науч. конф., Минск, 29–30 марта 2010 г. – Минск : ОИПИ НАН Беларуси, 2010. – С. 113–117.
7. Черемисинов, Д.И. Поиск подграфов при проектировании СБИС / Д.И. Черемисинов // Танаевские чтения. Доклады Второй науч. конф., Минск, 28 марта 2005 г. – Минск : ОИПИ НАН Беларуси, 2005. – С. 109–113.
8. Кардаш, С.Н. Проектирование в библиотечном базисе оптимизированных по числу транзисторов логических схем / С.Н. Кардаш // Автоматизация проектирования дискретных

систем: материалы Седьмой Междунар. конф., Минск, 16–17 ноября 2010 г. – Минск : ОИПИ НАН Беларуси, 2010. – С. 218–225.

9. Закревский, А.Д. Логические основы проектирования дискретных устройств / А.Д. Закревский, Ю.В. Поттосин, Л.Д. Черемисинова. – М. : Физматлит, 2007. – 592 с.

10. Лукошко, Г. КМОП-базовые матричные кристаллы серии K1574 / Г. Лукошко, Е. Коннов // Радиолобитель. – 1997. – № 9. – С. 39–40.

Поступила 10.02.11

*Объединенный институт проблем
информатики НАН Беларуси,
Минск, Сурганова, 6
e-mail: pott@newman.bas-net.by*

Yu.V. Pottosin

**LIBRARY ELEMENTS LOW POWER
COVERING A CIRCUIT THAT IMPLEMENTS BINARY DECISION DIAGRAM**

The problem of covering a combinational circuit with library modules is considered. The circuit implements a system of Boolean functions given by a binary decision diagram (BDD). At that, to reduce the power consumption, the circuit nodes should be, where possible, inside the modules. A method reducing this problem to isomorphic embedding of graphs is suggested. An example of covering a circuit with the modules of K1574 family is given.