

УДК 681.32

П.Н. Бибило, А.Л. Соловьев

## ОЦЕНКА ЭНЕРГОПОТРЕБЛЕНИЯ КМОП-СХЕМ НА ОСНОВЕ ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ

*Рассматривается задача оценки энергопотребления схем, синтезированных из логических элементов библиотеки проектирования заказных СБИС и выполненных по КМОП-технологии. Предлагается проводить оценку энергопотребления по структурным описаниям схем с помощью быстродействующего логического VHDL-моделирования. Результаты эксперимента показывают существенное ускорение времени моделирования при приемлемой погрешности по сравнению с результатами трудоемкого схемотехнического моделирования.*

### Введение

В практике проектирования логических схем, реализуемых в составе заказных СБИС и выполненных по наиболее распространенной КМОП-технологии, основными критериями оценки схем являются их сложность (площадь) и быстродействие. В настоящее время к данным критериям добавились энергопотребление и тестопригодность. Широкое распространение встроенных и автономных систем выдвигает энергопотребление на ведущее место при оценке вариантов реализации схем. Достаточно точная оценка энергопотребления логических КМОП-схем осуществляется с помощью схемотехнического (аналогового) моделирования [1]. Схемотехническое моделирование проводится на основе Spice-моделей логических элементов, входящих в схему. Такие модели для логических КМОП-элементов представляют собой сети  $p$ - и  $n$ -транзисторов. Вся логическая схема на этапе схемотехнического моделирования представляет собой «большую» сеть транзисторов в отличие от «маленьких» сетей транзисторов, соответствующих отдельным логическим элементам. Моделирование осуществляется на двоичных (0,1) наборах значений входных сигналов схемы, такие наборы называют тестовыми наборами либо просто тестами. Схемотехническое моделирование весьма трудоемко, поэтому оценка энергопотребления при таком моделировании ведется на ограниченных по длине тестах, по которым и судят об энергопотреблении схемы. В практике проектирования хорошо известно [1–3], что основная доля энергопотребления КМОП-схем приходится на переключение транзисторов. В работах [4, 5] предложено оценивать энергопотребление логических КМОП-схем путем подсчета числа переключившихся транзисторов элементов схемы и использовать для этой цели логическое моделирование.

В настоящей работе предлагаются VHDL-модели логических элементов с нулевыми временными задержками. Данные модели позволяют проводить подсчет числа переключившихся транзисторов при предположении, что каждый элемент схемы на конкретном тестовом наборе срабатывает только один раз. Приводятся результаты быстродействующего логического моделирования структурных VHDL-описаний схем в системе моделирования ModelSim и сравнение с результатами схемотехнического моделирования. Скорость логического моделирования на несколько порядков выше скорости схемотехнического моделирования, а погрешность оценки энергопотребления на основе логического моделирования составляет в среднем 17 % по сравнению с эталонной оценкой, получаемой схемотехническим моделированием. Использование системы ModelSim позволяет значительно ускорить время оценки энергопотребления по сравнению с программой подсчета числа переключений [5].

### 1. VHDL-модели логических КМОП-элементов для подсчета числа переключений транзисторов

Комбинационные КМОП-элементы библиотеки проектирования заказных СБИС [5] имеют от одного до шести входов и один выход. Каждому КМОП-элементу этой библиотеки соответствует своя транзисторная схема. Например, транзисторные схемы логических элементов N и A2 изображены на рис. 1. Логические элементы, состоящие из композиции базовых элемен-

тов, будем называть сложными. Например, сложный логический элемент А2, реализующий функцию  $Y = A \& B$ , представляется в виде каскадного соединения двух базовых логических элементов: базового элемента NA, реализующего функцию  $T = \overline{A \& B}$ , и базового инвертора N, реализующего функцию отрицания ( $y = \overline{T}$ ). Элементы памяти (триггеры) также представляются в виде сетей базовых комбинационных элементов.

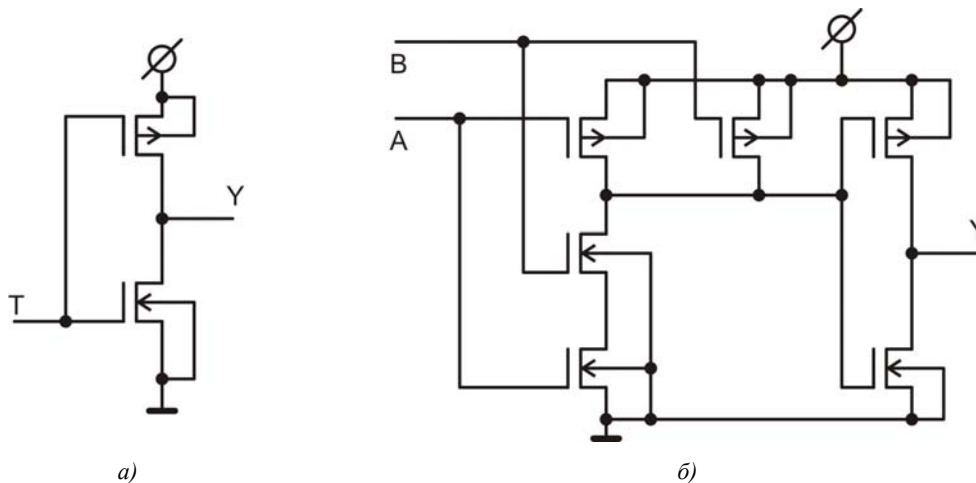


Рис. 1. Электрические схемы элементов: а) N («НЕ»); б) А2 («И»)

После анализа транзисторных схем комбинационных логических элементов библиотеки было установлено, что в них каждый вход КМОП-элемента соединен с парой транзисторов:  $n$ -МОП-транзистором и  $p$ -МОП-транзистором. Транзисторы соединены так, что при изменении сигнала на каждом из входов ( $0 \rightarrow 1$ ,  $1 \rightarrow 0$ ) один из них открывается, другой – закрывается.

В VHDL-описании каждого элемента кроме логических операторов для описания функций имеется средство (VHDL-процесс) для подсчета числа переключившихся транзисторов в этом элементе. VHDL-модель элемента снабжается дополнительным выходом Z, значение которого задает число переключившихся транзисторов в данном сеансе моделирования. Так как моделирование осуществляется без задания временных задержек элементов, в один момент времени моделирования осуществляются все требуемые переключения всех сигналов схемы – входных, внутренних и выходных. Один и тот же элемент схемы может менять значение своего выхода несколько раз, так как могут меняться значения входных сигналов в одном такте моделирования. При таком VHDL-моделировании (с нулевыми задержками) реализуется механизм дельта-задержек [6]. При подсчете переключений важно учитывать число переключений транзисторов, вызываемых изменениями значений каждого входного сигнала элемента только один раз. Этот подсчет усложняется, если изменения входных сигналов одного и того же элемента происходят более одного раза для одного и того же отсчета времени моделирования. В таких случаях требуется исключать переключения, возникающие при гонке сигналов, так как предполагается, что при гонке сигналов транзисторы не успевают переключаться. В действительности, конечно, это не всегда так.

Рассмотрим двухвходовый элемент И, имеющий имя А2. VHDL-модель этого элемента представлена в листинге 1.

**Листинг 1.** VHDL-модель логического элемента А2 (двухвходового элемента И) для подсчета числа переключений транзисторов

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;
entity A2 is
port (A : IN std_ulogic;
      B : IN std_ulogic;
```

```

    Y : OUT std_ulogic;
    Z : OUT REAL);
end;
architecture BEHAVIOR of A2 is
begin
Y <= (A and B); -- функция элемента A2
process (A,B)
variable ptime : time:=0 ps;
variable pbits,c_bits : std_logic_vector (1 to 3):=(OTHERS=>'U');
variable temp_c,temp: REAL:=0.0;
begin
    if (ptime = now) then
        pbits:=c_bits;
        temp_c:=temp_c-temp;
    else
        c_bits:=pbits;
    end if;
    pbits(1):=A xor pbits(1);
    pbits(2):=B xor pbits(2);
    pbits(3):=(A nand B) xor pbits(3);
    temp:=0.0;
    for i in pbits'RANGE loop
        if (pbits(i)='1') then
            temp:=temp + 2.0; -- переключились два транзистора
        end if;
    end loop;
    pbits(1):=A;
    pbits(2):=B;
    pbits(3):=A nand B;
    temp_c:=temp_c+temp;
    Z<=temp_c;
    ptime:=now;
end process;
end;

```

В данной модели:

значение переменной *ptime* – задает отсчет времени моделирования;

массив *pbits* – предназначен для хранения значений входных сигналов в предыдущем такте моделирования;

массив *c\_bits* – предназначен для хранения копий значений входных сигналов в предыдущем такте моделирования. Данный массив используется для корректировки значений входных сигналов во время текущего такта моделирования. Инициализация элементов массивов *pbits* и *c\_bits* осуществляется значением 'U'. Это делается для того, чтобы устранить подсчет переключений в первом такте моделирования, когда значения сигналов и переменных VHDL-модели переходят из состояния 'U' в состояние '0' или '1';

переменная *temp* – предназначена для подсчета числа переключения в текущем такте моделирования;

переменная *c\_temp* – предназначена для хранения суммарного числа переключений транзисторов элемента A2 за все такты моделирования.

Операторы программы

```

if (ptime = now) then
    pbits:=c_bits;
    temp_c:=temp_c-temp;
else
    c_bits:=pbits;
end if;

```

осуществляют проверку `if (ptime = now)`, является ли текущее время моделирования равным времени предыдущего такта моделирования. Если эти значения равны, временем моделирования является текущий такт и требуется восстановить предыдущие значения входных сигналов элемента, т. е. выполнить `pbits:=c_bits` и провести коррекцию числа переключений: `temp_c:=temp_c - temp`, в противном случае резервируются значения входных сигналов: `c_bits:=pbits`. Затем осуществляется проверка изменения значений входных сигналов A, B – устанавливаются флаги изменения значений A, B:

```
pbits(1):=A xor pbits(1);
pbits(2):=B xor pbits(2);
```

В связи с тем что элемент A2 является составным, требуется проверить, изменилось ли значение выхода элемента NA2 (выход элемента NA2 является входом элемента N). Для этого выполняется операция `pbits(3):=(A nand B) xor pbits(3)`. Далее в части программы

```
for i in pbits'RANGE loop
    if (pbits(i)='1') then
        temp:=temp+2.0;
    end if;
end loop;
```

подсчитывается число переключившихся транзисторов в текущем такте моделирования. Здесь учитывается то, что изменение каждого входа элемента влечет за собой переключение двух транзисторов. Затем записываются новые значения сигналов на входах элемента A2: `pbits(1):=A`, `pbits(2):=B`, значение входа инвертора N определяется функцией элемента NA2: `pbits(3):=A nand B`. В конце процесса операторы

```
temp_c:=temp_c+temp;
Z<=temp_c;
ptime:=now;
```

изменяют суммарное число `temp_c` переключений транзисторов – добавляются переключения `temp` за текущий такт моделирования, устанавливается значение выходного сигнала Z. С помощью функции `now`, которая возвращает текущее время, запоминается время прошедшего такта моделирования. Для подсчета числа переключений используется тип `real`, так как диапазона значений типа `integer` недостаточно для задания больших чисел.

## 2. VHDL-модели логических схем для подсчета числа переключений транзисторов

Язык VHDL позволяет описывать не только алгоритмы и функции, но и логические схемы. Например, логическая схема (рис. 2) представляется структурным описанием, заданным в листинге 1. Функции логических элементов схемы представлены в табл. 1.

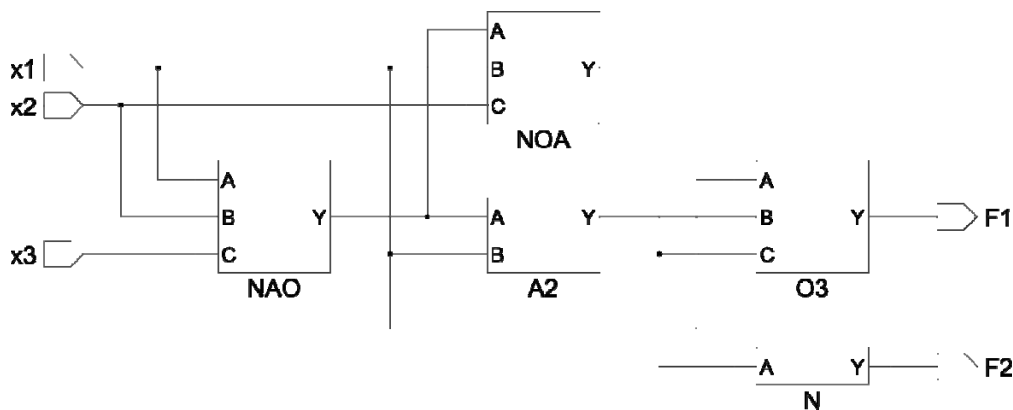


Рис. 2. Логическая схема

Таблица 1

Логические элементы

Элемент	Логическая функция	VHDL-функция
NOA	$y = \overline{(A \& B) \vee C}$	<code>Y &lt;= not ((A and B) or C);</code>
N	$y = \overline{A}$	<code>Y &lt;= not A;</code>
NAO	$y = \overline{(A \vee B) \& C}$	<code>Y &lt;= not ((A or B) and C);</code>
A2	$y = A \& B$	<code>Y &lt;= A and B;</code>
O3	$y = A \vee B \vee C$	<code>Y &lt;= A or B or C;</code>

Листинг 2. Исходное VHDL-описание логической схемы

```

library ieee;
use ieee.std_logic_1164.all;
use work.power.all;
entity example1 is
port (x1, x2, x3 : in std_logic;
      F1, F2 :out std_logic);
end;
architecture arch1 of example1
is signal W : std_logic_vector (1 to 3);
begin
m1 : NAO port map (x1, x2, x3, w(1));
m2 : A2 port map (w(1), x1, w(2));
m3 : NOA port map (w(1), x1, x2, w(3));
m4 : O3 port map (x1, w(2), w(3), F1);
m5 : N port map (w(3), F2);
end;

```

Для проведения подсчета суммарного числа переключений транзисторов VHDL-модель схемы дополняется процессом, осуществляющим суммирование переключений по всем элементам. Такое суммирование выполняет функция `sum_percl`, текст которой приведен в пакете `perce1` (листинг 3).

Листинг 3. VHDL-пакет, содержащий функцию `sum_percl` для подсчета суммарного числа переключений

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;

package perce1 is
constant S : integer := 26;
type MAS is array (1 to S) of real;
function sum_percl (DATA: in MAS) return real;

-- декларации компонент NAO, A2, NOA, O3, N и др.

end perce1 ;
package body perce1 is
function sum_percl (DATA: in MAS) return real is
variable S : real:= 0.0;
begin
if (DATA(1)>-1.0) then
  for I in MAS'range loop

```

```

S:= DATA(I) + S;
  end loop;
  end if;
return S;
end sum_percl;
end perecl ;

```

Пример преобразованного структурного описания схемы `example1` (см. рис. 2) приведен в листинге 4. Жирным шрифтом выделены добавленные операторы.

**Листинг 4.** VHDL-описание логической схемы для подсчета числа переключений

```

library ieee;
use ieee.std_logic_1164.all;
use work.perecl.all;
entity example1 is
port(x1, x2, x3 : in std_logic;
F1, F2 :out std_logic;
K : out integer);
end;
architecture arch2 of example1 is
signal W : std_logic_vector (1 to 3);
signal Z : MAS;
begin
m1 : NAO port map (x1, x2, x3, w(1),Z(1));
m2 : A2 port map (w(1), x1, w(2),Z(2));
m3 : NOA port map (w(1), x1, x2, w(3),Z(1));
m4 : O3 port map (x1, w(2), w(3), F1,Z(4));
m5 : N port map (w(3), F2, Z(5));
p1 : process (Z)
  begin
    K <= sum_percl(Z);
  end process;
end;

```

В сеансе логического моделирования преобразованной схемы на упорядоченной последовательности <101, 110, 010, 111, 001, 011> наборов входных сигналов (рис. 3) было зафиксировано 93 переключения транзисторов во всех логических элементах.

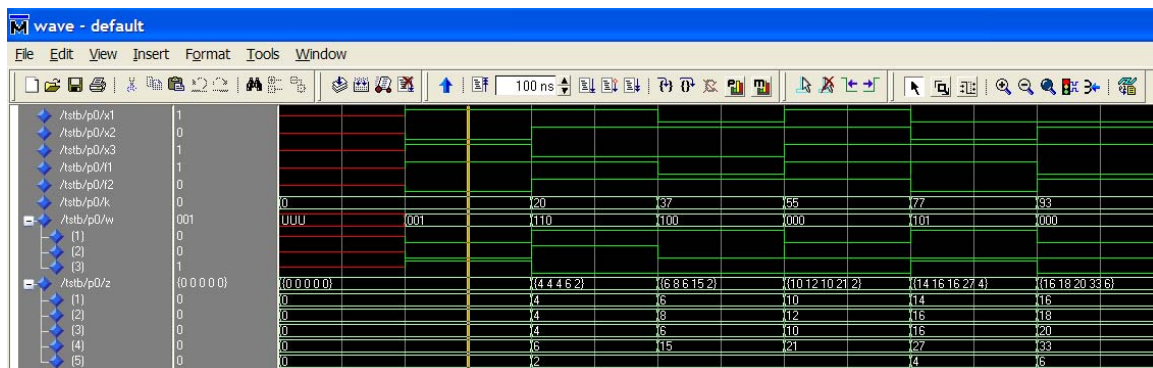


Рис. 3. Результат логического VHDL-моделирования

С помощью специально разработанной программы VHDL-описание схемы (см. рис. 2) было преобразовано в Spice-описание и проведено схемотехническое моделирование на той же последовательности <101, 110, 010, 111, 001, 011> из шести наборов входных сигналов. Результат схемотехнического моделирования схемы `example1` в системе Accusim (разработка фирмы Mentor Graphics) показан на рис. 4.

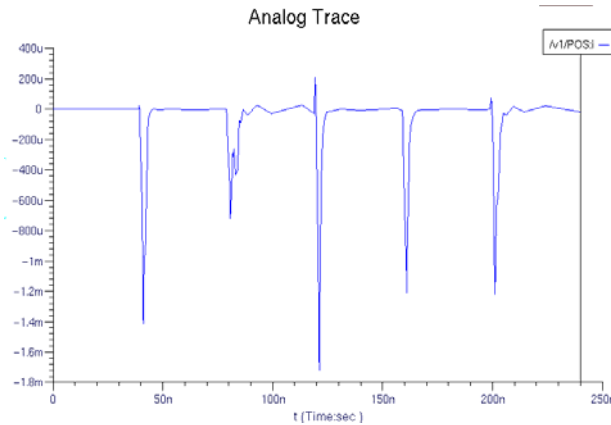


Рис. 4. Результат аналогового моделирования

Каждый пик потребления тока соответствует переключениям транзисторов, которые происходят из-за смены одного входного набора на другой: первый пик связан с заменой входного набора 101 набором 110, последний пятый пик соответствует смене набора 001 набором 011. Среднее потребление тока – параметр *Average*, выдаваемый системой *Accusim* в результате моделирования, составляет 0,04988991 мА. Далее значение параметра *Average* будем обозначать через  $A$ , а число наборов в тесте называть длиной теста и обозначать через  $N$ . Итак, на каждом из пяти тестовых наборов ( $N = 5$ ) все транзисторы схемы *example1* потребляют ток  $A = 0,04988991$  мА, при этом общее число  $S$  переключившихся транзисторов равно 93. Среднее потребление тока на переключение одного транзистора (параметр  $\alpha$ ) будем подсчитывать по формуле  $\alpha = \frac{A \times N}{S}$ .

В примере параметр  $\alpha = \frac{A \times N}{S} = \frac{0,0498891 \times 5}{93} = 0,002682$  мА = 2,682 нА на переключение одного транзистора.

### 3. Экспериментальное исследование

Чтобы определить среднее потребление тока на переключение одного транзистора по всем логическим элементам библиотеки проектирования и всем вариантам подачи значений сигналов на входы элементов, был проведен эксперимент, в котором варьировались тестовые последовательности входных наборов, подаваемых на вход схем. Схемы *gsx1*, *bsx1*, *mul* были взяты из практики проектирования, остальные – из набора тестовых примеров [7]. Были применены следующие типы  $T$  тестовых последовательностей (тестов):

*Тест типа  $T = 1$ .* Тестовые наборы с равновероятными значениями нулей и единиц, т. е. на любом входе логической схемы для любого входного набора вероятность появления единицы (нуля) равна 0,5.

*Тест типа  $T = 2$ .* Тестовые наборы, состоящие из упорядоченной по возрастанию десятичного эквивалента последовательности из  $2^r$  всех наборов булева пространства размерности  $r$ .

*Тест типа  $T = 3$ .* Тестовые наборы, состоящие из упорядоченной по убыванию десятичного эквивалента последовательности из  $2^r$  всех наборов  $\langle 111\dots 1, \dots, 000\dots 0 \rangle$  булева пространства размерности  $r$ , т. е. тест типа 3 представляет обратный порядок задания наборов теста типа 2.

*Тест типа  $T = 4$ .* Специальная последовательность тестовых наборов, генерируемая с помощью алгоритма из работы [8] и задающая все упорядоченные пары входных наборов из булева пространства размерности  $r$ .

Эксперименты для всех схем при схемотехническом моделировании проводились с одинаковыми значениями параметров: длительности передних и задних фронтов входных сигналов 1 нс, период подачи входных сигналов 40 нс, температура +27 °С. Задержка каждой из схем не превышала 40 нс. Среднее значение параметра  $\alpha$ , полученное усреднением значений по всем 29 экспериментам, составляет 2,795682 нА.

В табл. 2 используются следующие обозначения:

$T$  – тип тестовой последовательности  $T = 1, 2, 3, 4$ ;

$A$  (Average) – средний потребляемый ток, измеренный с помощью схемотехнического моделирования в системе *Accusim* (фирма Mentor Graphics), мА;

$m$  – число элементов в схеме;

$S$  – число переключений транзисторов в схеме, подсчитанное путем VHDL-моделирования схемы в системе *ModelSim*;

$N$  – число наборов в тесте;

$t_{Accusim}$  – время схемотехнического моделирования в системе *Accusim*, с;

$\alpha$  – среднее потребление тока на переключение одного транзистора, мА;

$A_{предск}$  – предсказанное значение потребляемого схемой тока;

$\sigma$  – погрешность предсказания значения тока, потребляемого схемой,

$$\sigma = \frac{(A - A_{предск})}{A} 100 \%$$

После анализа данных, представленных в табл. 2, и анализа результатов других экспериментов можно сделать следующие выводы:

1. Использовать экспериментально полученный параметр  $\alpha$  можно лишь для схем работающих на одной и той же тактовой частоте (период смены входных наборов для которых составляет 40 нс), т. е. для каждой тактовой частоты требуется определять свое значение параметра  $\alpha$ . Другие параметры (длительность фронтов входных сигналов, температура и т. д.) также должны быть одинаковыми при схемотехническом моделировании, выполняемом для оценки энергопотребления других схем на основе экспериментально полученного значения параметра  $\alpha$ . Эксперименты показали, что значение параметра  $\alpha$  пропорционально тактовой частоте: если период подачи входных наборов изменяется, например увеличивается в два раза, то пропорционально в два раза уменьшается значение параметра  $\alpha$  при моделировании одной и той же схемы на том же тесте.

Таблица 2

Результаты эксперимента

Схема	$T$	$A$ , мА	$m$	$S$	$N$	$t_{Accusim}$ , с	$\alpha$ , нА	$A_{предск}$ , мА	$\sigma$ , %
z9sym	1	0,8471	166	150 692	512		2,878156	0,8228	<b>2,8</b>
addm4	1	1,8260	359	384 122	512		2,433893	2,0974	<b>-14,8</b>
life	1	0,2715	33	47 318	512		2,937740	0,2583	<b>4,8</b>
z9sym	2	0,1910	166	36 800	512		2,657391	0,2009	<b>-5,2</b>
addm4	2	1,0094	359	210 694	512		2,452907	1,1504	<b>-13,9</b>
life	2	0,1371	33	22 424	512		3,130360	0,1224	<b>10,7</b>
z9sym	3	0,1984	166	36 800	512		2,760347	0,2009	<b>-1,2</b>
addm4	3	1,0320	359	210 694	512		2,507826	1,1504	<b>-11,4</b>
life	3	0,1301	33	22 424	512		2,970531	0,1224	<b>5,8</b>
gsx1	4	0,2205	28	298 360	4032		2,979809	0,2068	<b>6,1</b>
bsx1	4	0,2168	30	315 816	4032		2,767869	0,2189	<b>-1,0</b>
b12	1	0,3097	49	58 726	512		2,700105	0,3206	<b>-3,5</b>
in0	1	1,1216	318	277 468	512		2,069641	1,5150	<b>-35,0</b>
tms	1	0,4859	156	118 458	512		2,100160	0,6468	<b>-33,1</b>
mlp4	1	1,3088	262	282 388	512		2,372996	1,5419	<b>-17,8</b>
root	1	0,5769	111	112 496	512		2,625629	0,6142	<b>-6,4</b>
intb	1	4,9836	1078	69 248	32		2,302957	6,0498	<b>-21,4</b>
intb	1	5,0231	1078	1 096 640	512		2,345188	5,9880	<b>-19,2</b>
C1355	1	3,5745	224	3 326 930	4096	3134,6	4,400873	2,2707	<b>36,4</b>
C1908	1	2,3098	207	2 129 820	4096	2275,5	4,442266	1,4536	<b>37,0</b>
CHT	1	0,7957	116	1 119 990	4096	670,2	2,910102	0,7644	<b>3,9</b>
I8	1	1,6912	634	4 566 320	4096	4967,9	1,517010	3,1166	<b>-84,2</b>
FRG2	1	5,0366	777	7 131 138	4096	9113,6	2,892964	4,8672	<b>3,3</b>
C432	1	1,6411	188	467338	1024	333,6	3,596086	1,2759	<b>22,2</b>
C880	1	0,3111	71	178738	1024	83,1	1,782865	0,4879	<b>-56,8</b>
DALU	1	2,0218	327	725049	1024	573,7	2,855552	1,9794	<b>2,1</b>
I3	1	0,3874	42	165538	1024	94,8	2,396828	0,4519	<b>-16,6</b>
I9	1	0,6503	102	197508	1024	118,5	3,371913	0,5392	<b>17,0</b>
My_adder	1	0,7123	93	186326	1024	119,4	3,914816	0,5086	<b>28,5</b>



2. Подсчет числа переключающихся транзисторов, осуществляемый путем VHDL-моделирования, производится очень быстро для схем практической размерности и значительно превосходит по скорости программу [5] подсчета числа переключений, оперирующую с SF-описаниями логических схем и входящую в систему ЭЛС. Например, подсчет числа переключений транзисторов схемы, состоящей из 520 элементов, на тесте из 4096 наборов занял 208 с. Аналогичная процедура, основанная на VHDL-моделировании, выполнялась менее чем за одну секунду на том же компьютере.

3. Время VHDL-моделирования любой из схем не превышало одной секунды в отличие от времени схемотехнического моделирования, составлявшего от одной (и более) минут до нескольких часов.

4. Наибольшая точность предсказанного значения потребляемого тока была для схем, близких к каскадным схемам, у которых практически отсутствуют гонки сигналов и вызываемые ими промежуточные переключения внутренних сигналов схемы.

5. Наибольшая погрешность предсказанного значения потребляемого тока была для схем, которые имели отклонения от «среднестатистических», например для схем, состоящих только из библиотечных элементов с четырьмя входами (в таких схемах отсутствовали двухвходовые и трехвходовые элементы); для схем, многие элементы которых имели большие нагрузочные способности, и т. д.

6. Погрешность оценки энергопотребления на основе логического VHDL-моделирования с нулевыми задержками КМОП-элементов составляет в среднем от  $-21,4$  до  $+13,9$  % по сравнению с эталонной оценкой, получаемой схемотехническим моделированием. Погрешность со знаком « $-$ » говорит о том, что предсказываемое значение потребления тока больше, чем значение, получаемое схемотехническим моделированием. Погрешность со знаком « $+$ » составляет в среднем  $13,9$  %, поэтому ток, потребляемый схемой, будет больше предсказываемого. Погрешности являются практически приемлемыми, что говорит о полезности предложенного способа быстрой оценки потребляемого тока на этапе выбора вариантов реализации схемы.

### Заключение

Применение логического VHDL-моделирования позволяет проводить подсчет числа переключений транзисторов в комбинационных схемах КМОП СБИС и с достаточной для практики точностью быстро предсказывать средние значения потребляемого токми токми, что значительно сокращает время оценки вариантов логических схем по сравнению с использованием для этих целей схемотехнического моделирования. Представляется целесообразным для повышения точности оценки энергопотребления на основе логического моделирования проводить подсчет числа переключений транзисторов с учетом задержек сигналов элементами схемы, для этого необходимо учитывать время нахождения сигналов в определенных состояниях и подсчитывать только те переключения транзисторов, которые обусловлены определенными длительностями устойчивых значений сигналов на входах элементов схемы. Предложенные VHDL-модели логических элементов могут быть легко модифицированы для проведения такого моделирования.

### Список литературы

1. Рабаи, Ж.М. Цифровые интегральные схемы / Ж.М. Рабаи, А. Чандракасан, Б. Николич ; 2-е изд., пер. с англ. – М. : Изд. дом «Вильямс», 2007. – 912 с.
2. Estimation of Average Switching Activity in Combinational and Sequential Circuits / A. Ghosh [et al.] // Proc. 29th ACM/IEEE Design Automation Conference. – Anaheim, CA, USA, 1992. – P. 253–259.
3. Гресь, Т. Моделирование потребления мощности в элементах цифровых устройств / Т. Гресь, В.В. Соловьев, И.Р. Булатова // Автометрия. – 2009. – Т. 45, № 2. – С. 105–114.
4. Бибило, П.Н. Оценка энергопотребления комбинационных блоков заказных КМОП СБИС на основе логического моделирования / П.Н. Бибило // Современная электроника. – 2010. – № 2. – С. 54–59.

5. Бибило, П.Н. Оценка энергопотребления логических КМОП-схем по их переключательной активности / П.Н. Бибило, Н.А. Кириенко // Микроэлектроника. – 2012. – № 1. – С. 65–77.
6. Суворова, Е.А. Проектирование цифровых систем на VHDL / Е.А. Суворова, Ю.Е. Шейнин. – СПб. : БХВ-Петербург, 2003. – 576 с.
7. Berkeley PLA test set [Electronic resource]. – Mode of access : <http://www1.cs.columbia.edu/~cs4861/sis/espresso-examples/ex/>. – Date of access : 10.10.2011.
8. Закревский, А.Д. Минимизация перебора ориентированных пар / А.Д. Закревский // Танаевские чтения : докл. Четвертой Междунар. науч. конф. (29 марта 2010 г., Минск). – Минск : ОИПИ НАН Беларуси, 2010. – С. 89–97.

Поступила 12.10.11

*Объединенный институт проблем  
информатики НАН Беларуси,  
Минск, Сурганова, 6  
e-mail: bibilo@newman.bas-net.by*

**P.N. Bibilo, A.L. Soloviev**

### **ESTIMATION OF POWER CONSUMPTION OF CMOS CIRCUITS BY MEANS OF LOGIC SIMULATION**

We consider the problem of estimating the power consumption of circuits that are synthesized using logic design custom ASIC libraries and made by CMOS technology. The estimation of power consumption of a circuit by its structural description using VHDL-fast logic simulation is suggestion. The experimental results show a significant acceleration of simulation time at an acceptable accuracy compared to the results of time-consuming circuit simulation.