

УДК 658.512:519.87

В.И. Романов

ИЕРАРХИЧЕСКИЙ ПОДХОД К ТОПОЛОГИЧЕСКОМУ ПРОЕКТИРОВАНИЮ МИКРОСХЕМ

Предлагается иерархический подход к построению топологических эскизов кристаллов микросхем. Данный подход основывается на фрагментации эскиза схемы, при которой топология отдельных фрагментов, образующих иерархию, может быть описана автоматически в соответствии с предлагаемыми алгоритмами размещения и трассировки, что существенно сокращает общий объем проектных работ. На самом нижнем уровне иерархии используется параметрически настраиваемая топологическая библиотека макроэлементов, основанных на применении регулярных структур. На последующих уровнях иерархии предлагается использовать стандартизованное группирование компонентов нижних уровней.

Введение

Микроэлектроника поставляет элементную базу для средств вычислительной техники, управления, связи и т. д. Производство схем большой степени интеграции (СБИС), ориентированных на специальные применения, в настоящее время немислимо без сложных комплексных систем автоматизированного проектирования (САПР).

Свобода в выборе элементного состава и топологии кристалла, характерная для заказных СБИС, позволяет добиваться высоких технологических характеристик реализуемого на кристалле устройства управления, но одновременно значительно усложняет процесс проектирования [1].

Процесс проектирования СБИС имеет многоэтапный характер. Проектная информация, представляющая собой в начале проектирования алгоритмическое либо функционально-логическое описание будущей схемы на языке регистровых передач (RTL-описание), проходит через ряд этапов проектирования, пока не будет преобразована в геометрическое описание слоев будущего кристалла (например, GDSII-описание), пригодное для технологического производства.

Разрабатываемый программный комплекс проектирования топологии иерархически организованных сетей макроэлементов заказных цифровых СБИС предназначен для автоматизированного построения топологии функциональных блоков управляющей логики цифровых микросхем, описание которых носит иерархический характер и основано на использовании как отдельных макроэлементов, так и сетей макроэлементов, выполненных в виде регулярных МОП (металл-оксид-полупроводник)-структур.

Необходимость развития именно этапа топологического проектирования определяется прежде всего тем, что использование эффективных методов размещения и трассировки элементов СБИС позволяет уменьшить площадь кристалла. Однако при создании таких САПР появляются значительные технологические трудности. Выбор подходящего метода оптимизации площади, оценка его возможностей, областей применимости по различным критериям требуют привлечения весьма квалифицированных экспертов-разработчиков топологии.

Для данной области характерна также проблема все более увеличивающейся размерности решаемых задач, которая порождает новые технологические трудности на этапе формирования топологического эскиза разрабатываемой микросхемы.

Под проектным эскизом понимается изображение, отображающее физическое размещение на кристалле элементов микросхемы, их информационных связей, силовых линий земли (Gnd) и питания (Vcc).

1. Базовые требования

Ключевым элементом проекта заказной микросхемы является топологический эскиз кристалла, передаваемый на производство. Однако для его получения необходимо провести боль-

шую подготовительную работу, обеспечивающую трансформацию исходных спецификаций микросхемы, выполненных в некотором специализированном языке (например, в языке VHDL [2]), к описанию формата эскиза топологии, на основании которого уже может быть получена производственная спецификация проекта кристалла в некотором другом языке, например GDSII. Отсюда следует, что *создаваемая САПР должна быть сквозной и обеспечивать преобразование описания проектируемой схемы от исходного, выполненного на языке спецификации (VHDL), до итогового топологического описания (GDSII).*

Известно, что, как и любое другое производство, изготовление кристаллов основывается на применяемой технологии, которая устанавливает группу технологических ограничений, продиктованных в основном использованием конкретного оборудования. Такие характеристики указывают минимальные контролируемые размеры топологии (контактных окон в оксиде кремния, затворов в транзисторах и т. д.). При проектировании микросхем на кристаллах часть норм связана с различными геометрическими характеристиками, главная из которых – размер точки – представляет собой единицу измерений, отражаемую на эскизе (изображении) кристалла. Все прочие количественные характеристики технологии часто определяются относительно этой базовой величины.

Таким образом, второе базовое требование к разрабатываемому программному комплексу состоит в том, что *создаваемая САПР должна поддерживать параметрическую настройку заказываемых технологических ограничений и обеспечивать комфортную работу с проектом при их применении.*

В настоящее время вопросы собственно синтеза микросхемы решаются с применением достаточно универсальных сквозных промышленных (коммерческих) систем проектирования заказных СБИС (например, LeonardoSpectrum [3]). Кроме того, существует целый ряд готовых программных систем, поддерживающих решение задач синтеза [1]. В этой связи основное внимание при разработке программного комплекса должно быть уделено этапу построения топологического представления проектируемой микросхемы. Программный комплекс проектирования топологии иерархически организованных сетей макроэлементов заказных цифровых СБИС является развитием САПР CLTT [4].

Основная идея, реализованная в рамках САПР CLTT, основана на описании микросхемы в виде совокупности макроэлементов, определяемых параметрически и отражающих заранее топологически определенные структуры. Разработка элементов топологической библиотеки макроструктур является отдельной задачей и в рамках САПР не рассматривается – фрагменты эскиза топологии проектируемой схемы строятся на основе параметрически настраиваемых заготовок макроэлементов.

2. Проблемы визуализации и масштабирования

В рамках программного комплекса в качестве компонентов проекта микросхемы могут выступать параметризуемые по числу входных, выходных переменных и числу промежуточных шин программируемые структуры типа программируемых логических матриц (ПЛМ), использующих параллельные соединения транзисторов, регулярные схемы на основе последовательно соединенных транзисторов (РМОП-схемы), постоянные запоминающие устройства (ПЗУ), IP-блоки с уже разработанной топологией и другие библиотечные макроэлементы СБИС. Иерархическая организация сетей макроэлементов предполагает, что некоторые из подсетей представляются в виде сетей из других макроэлементов или сетей библиотечных элементов.

Прежде всего будем предполагать, что технология производства кристаллов основана на применении нескольких проводящих слоев: как минимум, пары слоев металлизации и одного слоя поликремния, причем с целью оптимизации функционирования проектируемой схемы передача сигналов и электроэнергии между элементами будет осуществляться по одному из металлических слоев (рис. 1).

Исходя из технологии производства кристаллов (напыление, травление, фотолитография и проч.) можно сказать, что описывающее их изображение в каждом слое носит бинарный характер. Система проектирования должна обеспечивать возможность наблюдения технологического эскиза как по каждому из слоев металла, так и одновременно по всем слоям.

Предположим, что размер кристалла соответствует квадрату со стороной 15 мм. В современных условиях размер отдельной точки можно условно принять равным норме проектирования (например, 60 нм) и для определения реального топологического изображения в таком

квадрате только для одного слоя необходимо задать каждую из 62 500 000 000 точек ($15 \text{ мм} = 15\,000 \text{ мкм} = 15\,000\,000 \text{ нм} / 60 \text{ нм} = 250\,000$ точек).

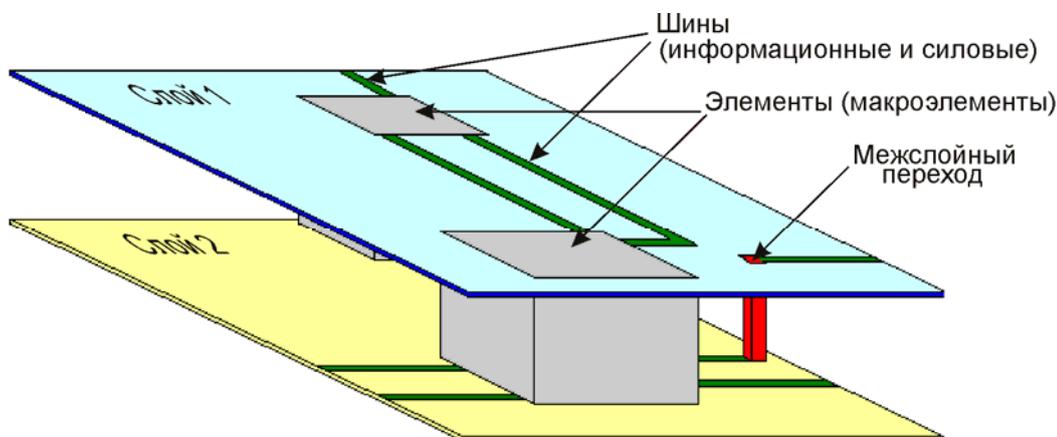


Рис. 1. Многослойная организация кристалла при проектировании

Отсюда можно сделать несколько выводов:

1. Итоговое изображение при проектировании, несмотря даже на свою бинарность, физически не может быть определено в растровой форме. Для его определения применим только векторный способ описания. Напомним, что в растровых изображениях определяется каждая точка отображаемой поверхности, а в векторных определяются функции построения, описывающие размещаемые на поверхности фигуры. При построении эскизов микросхем изображение может быть определено через множество отрезков прямых линий, привязанных к поверхности своими концевыми точками.

2. Линейного масштабирования всего изображения недостаточно для обеспечения комфортной работы по его построению: реализация деталей требует большего увеличения, при этом теряется обзорность эскиза и становится невозможно оперировать с «размытыми» на поверхности объектами, например информационными или силовыми шинами.

3. При разработке в САПР средств отображения проектируемых микросхем одним из критериев качества следует установить минимизацию объема обрабатываемой информации.

Одним из способов сокращения объемов перерабатываемой информации является декомпозиция изображения на линейно масштабируемые фрагменты – топологические композиты. Каждый из композитов представляется прямоугольником, на сторонах которого определены все его внешние связи. Фиксация этих позиций в масштабах всего изображения позволяет выполнить проектирование всей схемы без потери информации. Допустив повторную применимость проводимой структурной декомпозиции к отдельным фрагментам, в итоге получаем иерархически описываемый топологический эскиз. На каждом уровне иерархии проектировщик имеет дело только с ограниченным множеством структурных элементов и их связей, что способствует проведению более качественного проектирования.

Другим способом сокращения объемов перерабатываемой информации является группирование отдельных элементов в параметризуемые структуры – макроэлементы, для которых разрабатываются «стандартные» способы размещения на топологическом эскизе. В результате их использования задачи разводки связей отдельных элементов существенно теряют в своей размерности.

В рамках создаваемого программного комплекса предполагается совместить оба способа. На рис. 2 показана иерархическая организация технологического эскиза топологии микросхемы.

Естественно, сам подход к проектированию топологии эскиза на основе иерархии появился давно. Его различные исходные варианты [5, 6] со временем уточнялись с учетом дополнительных условий многослойности проектируемых кристаллов [7, 8]. Однако в большинстве работ собственно иерархия строилась по принципу сверху вниз, когда на общей «площадке» топо-

логии выбирался фрагмент (по месту в общем рисунке или по составу «участников») и таким образом осуществлялось разложение общей схемы на компоненты [9–11].

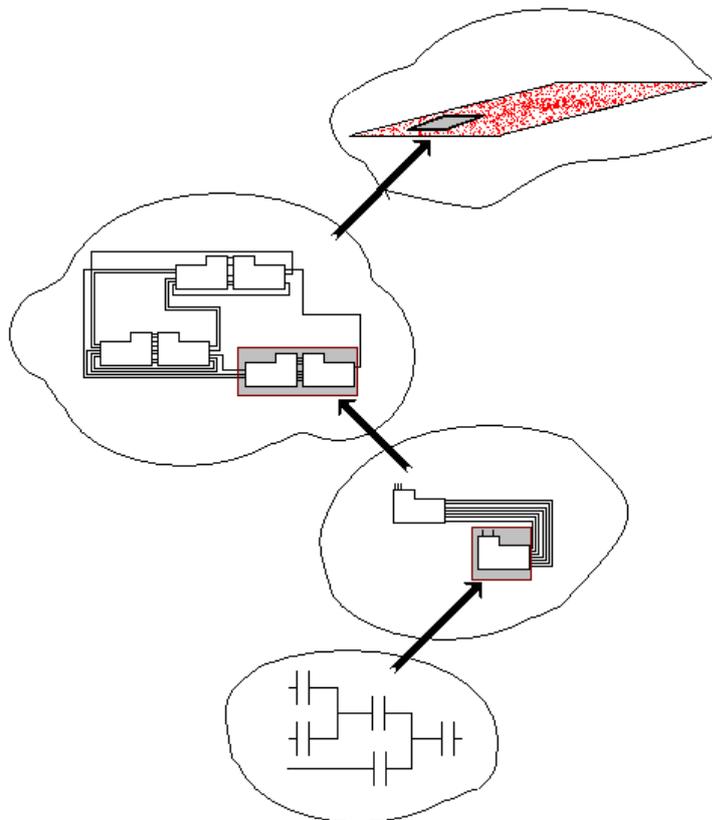


Рис. 2. Уровни иерархии в топологическом эскизе

Если рассматривать отдельно только собственно топологический редактор, служащий для подготовки результирующего эскиза, то следует отметить, что существующие аналоги предназначены для проектирования схемы «с нуля», когда содержание эскиза определяется проектировщиком последовательно путем внесения в эскиз отдельных элементов и их связей.

В рассматриваемом варианте топологический редактор оперирует с заранее заданной структурой элементов схемы и их связей – проектировщик в этом случае лишен возможности определения схемы «с нуля» и не может ни добавить, ни удалить никаких элементов изображения, вопрос сводится только к выбору их расположения на плоскости эскиза.

3. Математическая модель

Результатом выполненного логического синтеза является описание проектируемой схемы в виде сети взаимодействующих элементов.

Каждый из элементов сети характеризуется уникальным идентификатором; типом, определяющим реализуемую им логическую функцию, и наборами входных и выходных портов, через которые на элемент подаются и исходят сигналы (рис. 3). Информационная связь пары элементов однозначно идентифицируется кортежем из четырех составляющих: имя первого элемента – имя его выходного порта – имя второго элемента – имя его входного порта. Для всей сети определены подмножества внешних входных и выходных портов, сигналы на которых появляются извне описывающей проектируемую схему сети элементов.

Естественно, что изображенная на рис. 3 ситуация, когда все входные порты размещены на одной стороне элемента, а все выходные напротив, – это только частный случай размещения

портов. В общем случае их расположение на прямоугольном отображении элемента является произвольным и определяется технологией его создания.

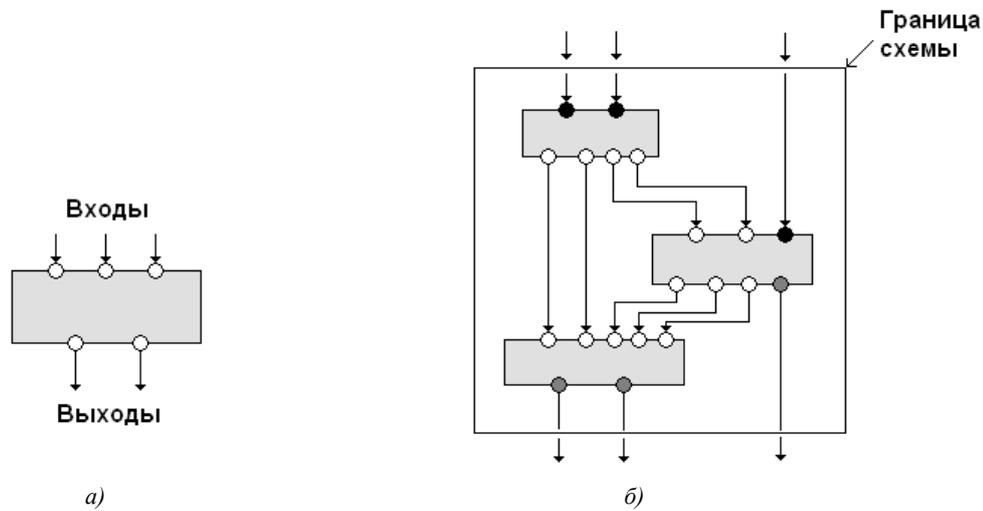


Рис. 3. Позиционирование портов: а) для отдельного элемента; б) для внешних входов и выходов схемы

Построенная сеть моделируется размеченным графом $G=(V, E)$, в котором множество вершин $V=(v_1, v_2, \dots, v_n)$ соответствует множеству элементов схемы, а множество дуг $E=(e_1, e_2, \dots, e_m)$ задает множество информационных связей элементов из E . Отдельно определяется множество входных $I(G)$ и выходных $O(G)$ портов схемы. Элементы этих множеств описываются возникающими информационными соединениями, характеризуемыми связанными с «внешностью» элементами схемы – парами вида <имя элемента – имя его порта>.

В рамках вводимой системы обозначений каждый элемент схемы v_i характеризуется своим именем $N(v_i)$, типом $T(v_i)$ и двумя множествами портов, соответствующих входным $I(v_i)$ и выходным $O(v_i)$ сигналам. Каждая внутренняя связь k -го и j -го элементов – дуга графа G – описывается четверкой $N(v_k), i_q(v_k), N(v_j), o_p(v_j)$, в которой $i_q(v_k) \in I(v_k), o_p(v_j) \in O(v_j)$.

Используемый при описании связи порт, не принадлежащий множеству внешних портов схемы $I(G) \cup O(G)$, определяется следующим образом:

- принадлежит какому-либо элементу схемы v_i и идентифицируется его именем $N(v_i)$;
- обладает собственным идентификационным именем;
- характеризуется направленностью (вход или выход);
- характеризуется назначением (информационный, синхронизации, питания, земли);
- характеризуется стороной размещения на габарите элемента (сверху, снизу, справа, слева);
- характеризуется значением позиционного смещения по выбранной стороне элемента (смещение рассматривается в реальных единицах размера, отмеряемых по ходу движения часовой стрелки при обходе прямоугольного габарита элемента).

Элементы ранее упомянутых множеств внешних портов $I(G)$ и $O(G)$ – входов и выходов схемы – описываются парами <элемент-порт> : $(N(v_k), i_q(v_k)) \in I(G)$ и $(N(v_j), o_p(v_j)) \in O(G)$ соответственно. Расположение самих внешних портов на границах схемы доопределяется в процессе топологического проектирования.

Задача построения топологического эскиза схемы состоит в координатной привязке к плоскости всех элементов схемы и соединяющих их информационных и силовых шин. Перечислим ряд присутствующих при этом дополнений и ограничений:

1. При размещении схемы на плоскости предполагается, что все ее компоненты будут укладываться в пределах некоторого прямоугольного фрагмента плоскости, имеющего обычно примерно равные длину и ширину и в дальнейшем называемого *площадкой*.

2. Площадка может содержать как всю схему, так и ее отдельный фрагмент – *композит*, включающий, по крайней мере, один ее элемент.

3. Каждый из композитов проектируется отдельно. При проектировании определяется как внутреннее устройство композита, так и его внешнее представление. Все композиты стро-

яется по принципу отображения отдельного элемента: внутри «черный ящик» невидимого снаружи содержимого, на границах – порты, определенные через пару имен <имя композита, имя одного из его портов> и месторасположение на одной из сторон композита. Такой способ определения композита дает возможности абстрагироваться от его внутреннего устройства при проектировании более высокого уровня иерархии отображения схемы.

4. Кроме элементов на топологическом эскизе должны быть представлены силовые и информационные шины. Все шины обладают шириной, которая определяется используемыми нормами проектирования и другими технологическими ограничениями. Любая шина описывается множеством своих осевых отрезков, размещенных на плоскости либо горизонтально, либо вертикально. В корректно описанной шине ее горизонтальные и вертикальные отрезки чередуются.

5. В отличие от информационных шин силовые шины, к которым относятся линии земли и питания, не описываются на этапе логического синтеза. Соответствующие им элементы в представляемой графовой модели отображаются неориентированными ребрами, а не дугами, определяющими информационные шины.

6. Добавление силовых составляющих к результатам логического синтеза осуществляется в соответствии с общим правилом: силовые шины должны достигать каждого элемента схемы. Их ширина в общем случае может быть рассчитана в соответствии с конкретными технологическими условиями.

7. Внешние порты схемы будут определены точками, лежащими на границе – пересечении осевой линии шины с границей площадки.

8. Разрабатываемая модель топологического эскиза опирается на предположение наличия двух слоев металлизации. Фактически это означает, что для размещенной на эскизе шины можно указать последовательность сегментов, состоящих из отрезков шины, размещенных на одном слое металлизации. Переходы с одного слоя на другой могут быть выполнены при помощи размещения на эскизе специально описываемых межслойных контактов. По сравнению с точками ветвления реализация межслойных контактов должна удовлетворять ряду дополнительных технологических ограничений.

Таким образом, в целом на входе этапа топологического проектирования схема описывается:

- смешанным графом G , вершины которого соответствуют элементам схемы, дуги – информационным связям, ребра – силовым шинам, обеспечивающим линии земли и питания;
- множествами входов ($I(G)$) и выходов ($O(G)$), которые задают приемники и источники информационных сигналов, связанных с функционированием схемы;
- множествами внешних силовых контактов линий земли и питания, в которых каждый отдельный элемент задается точкой пересечения осевой линии силовой шины с границами площадки;
- набором частично формальных, а частично и неформальных технологических требований и ограничений на создаваемый топологический эскиз и процесс его построения.

4. Оформление иерархической структуры

Предлагаемый подход к построению иерархии основывается на группировании элементов по композитам с целью их укрупнения и сведения задачи построения топологического эскиза схемы к его представлению на основании построенных композитов.

На самом нижнем уровне иерархии в рамках разрабатываемого программного комплекса, занимаясь логическим проектированием, пользователь может определить множество подграфов $M = (M_1, M_2, \dots, M_k)$, каждый из которых в некотором смысле выгодно реализовать при помощи параметрически определяемых макроэлементов – специальных структур, ориентированных на реализацию сложных логических функций. Каждый из подграфов M_j «забирает в себя» некоторое множество исходных элементов и обеспечивающих их информационных линий связи. После этого в общей модели схемы элемент M_j находит свою топологическую реализацию в виде отдельного композита, т. е. отображается прямоугольником с определенными на его границах контактами, информационными и силовыми.

Использование подобных регулярных схем облегчает решение задач диагностики и логического проектирования и позволяет проводить автоматическую генерацию топологии по структурному либо функциональному описанию.

Основной процесс проектирования топологии схемы на основе макроэлементов в форме матричных регулярных структур включает следующие этапы:

1) по функциональному описанию схемы генерируется структурное описание регулярных блоков;

2) для каждого макроэлемента согласно его структурному описанию определяется символическое представление его топологии;

3) формирование послойной топологии композитов, соответствующих макроэлементам, осуществляется путем компиляции из параметризованных послойных топологических фрагментов (элементов топологической библиотеки базовой регулярной структуры).

В результате задача размещения графа G трансформируется в задачу размещения графа $G^{(l)}(V^{(l)}, E^{(l)})$ значительно меньшей размерности, т. е. такого, что $|V^{(l)}| \ll |V|$, $|E^{(l)}| \ll |E|$.

Одним из приемов, обеспечивающих укрупнение компонентов эскиза, является объединение в одном композите нескольких «мелких» элементов, например транзисторов, не вписывающихся по каким-то соображениям в состав выделенных на графе макроэлементов. Такой композит будем называть *блоком нерегулярной логики*. В рамках одного проекта таких композитов может быть несколько, каждый из них проектируется отдельно. Принадлежность того или иного элемента тому или иному композиту диктуется соображениями сокращения длины информационных и силовых шин.

Следующим видом «стандартных» композитов является так называемый *расширенный макроэлемент*, представляющий собой совокупность некоторого макроэлемента и блока нерегулярной логики, в составе которого присутствуют логические элементы, информационно связанные по входам или выходам только с выбранным макроэлементом. Очевидно, что совместное расположение элементов-участников композита позволяет существенно снизить длины информационных соединений.

Еще одним видом «стандартных» композитов являются *парные макроэлементы* или *парные расширенные макроэлементы*: здесь речь идет о группировании пары однотипных макроэлементов примерно равного размера (только в этом случае можно рассчитывать на существенный эффект группирования).

Важно заметить, что проектирование исходного представления любого вида из описанных композитов может быть выполнено автоматически – построен фрагмент топологического эскиза, на котором размещены элементы и все виды связей: информационные и силовые.

В любом случае в качестве результата построения множества подграфов $F = (F_1, F_2, \dots, F_p)$, каждый из которых проектируется в виде отдельного композита, возникает новый уровень иерархии как граф $G^{(2)}(V^{(2)}, E^{(2)})$ размерности, меньшей размерности графа $G^{(1)}$.

В дальнейшем предполагается реализация процедуры построения однородных (по составу представленных в них типов макроэлементов) сетей, размещаемых в композитах следующего уровня иерархии.

Заключение

Описанный подход предлагается в качестве формальной основы для разрабатываемого программного комплекса проектирования топологии иерархически организованных сетей макроэлементов заказных цифровых СБИС. Этот комплекс является дальнейшим развитием разработанной ранее САПР CLTT [4], и в настоящее время осуществляется подготовка его рабочей версии. Указанная САПР CLTT выступает в роли испытательного полигона при создании нового программного обеспечения, что создает хорошие предпосылки как по срокам проведения разработки, так и по качеству реализуемых алгоритмов, поскольку поддерживается возможность их практического исследования на самых ранних стадиях проектирования. Ряд представленных в подходе идей, в частности организация топологии отдельных макроэлементов, уже получил апробацию в рамках системы CLTT.

Список литературы

1. Рабаи, Ж.М. Цифровые интегральные схемы / Ж.М. Рабаи, А. Чандракасан, Б. Николич. – 2-е изд.; пер. с англ. – М. : Изд. дом «Вильямс», 2007. – 912 с.
2. Суворова, Е.А. Проектирование цифровых систем на VHDL / Е.А. Суворова, Ю.Е. Шейнин. – СПб. : БХВ-Петербург, 2003. – 576 с.
3. Бибило, П.Н. Системы проектирования интегральных схем на основе языка VHDL, StateCAD, ModelSim, LeonardoSpectrum / П.Н. Бибило. – М. : СОЛОН-Пресс, 2005. – 384 с.
4. Система CLTT проектирования топологии функциональных блоков заказных цифровых СБИС / П.Н. Бибило [и др.] // Информационные технологии. – 2011. – № 1. – С. 8–14.
5. Lengauer, T. Exploiting hierarchy in VLSI design / T. Lengauer // VLSI Algorithms and Architectures Lecture Notes in Computer Science. – 1986. – Vol. 227. – P. 180–193.
6. Mlynek, D. Design of the VLSI systems / D. Mlynek, J. Leblebisi [Электронный ресурс]. – Режим доступа : <http://lsmwww.epfl.ch/Education/former/2002-2003/VLSIDesign/>. – Дата доступа : 23.02.2012.
7. Hierarchical BSG Floorplan for Hierarchical VLSI Circuit Design / Z.L. Wu [et al.] // IEICE Transactions. – 2000. – Vol. J83-A, № 10. – P. 1161–1168.
8. Adja, S.N. Fixed-Outline Floorplanning: Enabling Hierarchical Design / S.N. Adja, I.L. Markov // IEEE Transactions on very large scale Integration (VLSI) systems. – 2003. – Vol. 11, № 6. – P. 1120–1135.
9. Гаврилов, С.В. Средства проектирования полузаказных микросхем / С.В. Гаврилов, А.Н. Денисов, В.В. Коняхин [Электронный ресурс]. – Режим доступа : <http://www.asic.ru/publ.html#9>. – Дата доступа : 22.06.2012.
10. Rubin, S.M. Computer Aids for VLSI Design / S.M. Rubin [Электронный ресурс]. – Режим доступа : <http://www.rulabinsky.com/cavd/>. – Дата доступа : 22.06.2012.
11. LayoutEditor – редактор топологий интегральных схем [Электронный ресурс]. – Режим доступа : <http://www.euointech.ru/layedit>. – Дата доступа : 22.06.2012.

Поступила 28.06.2012

*Объединенный институт проблем
информатики НАН Беларуси,
Минск, Сурганова, 6
e-mail: rom@newman.bas-net.by*

V.I. Romanov

**HIERARCHICAL APPROACH TO TOPOLOGICAL DESIGN
OF INTEGRATED CIRCUITS**

A hierarchical approach to topological design of integrated circuits drafts is proposed. The approach is based on the draft fragmentation, where the layout of different hierarchical blocks can be automatically described in accordance with the proposed placing and wiring algorithms aiming at reducing the design work. A customizable topological library of macro elements based on regular structures is used on the lowest hierarchical level. Grouping of standardized components of lower levels is proposed to apply at higher hierarchy levels.