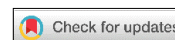


ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

LOGICAL DESIGN



УДК 519.714.5
DOI: 10.37661/1816-0301-2025-22-4-82-93

Оригинальная статья
Original Article

Распознавание подсхем трехстабильных элементов в КМОП СБИС

Л. Д. Черемисинова

*Объединенный институт проблем информатики
Национальной академии наук Беларуси,
ул. Сурганова, 6, Минск, 220012, Беларусь
E-mail: cld@newman.bas-net.by*

Аннотация

Цели. Рассматривается проблема экстракции высокоуровневой структуры на уровне логических элементов из схемы на транзисторном уровне. Получение такого представления существенно снижает время выполнения верификации топологии СБИС на стадии ее проектирования и служит основой для перепроектирования интегральных схем. Целью исследования является разработка метода и программных средств выделения в КМОП-схемах блоков, представляющих трехстабильные элементы.

Методы. Предлагаются методы распознавания подсхем, представляющих собой элементы с тремя состояниями, в частности трехстабильные инверторы. Задача сводится к поиску сначала КМОП-подсхем и подсхем передаточных элементов, а затем структур инверторов на их основе.

Результаты. Разработаны программы на языке C++, реализующие методы извлечения элементов с тремя состояниями в плоском SPICE-описании транзисторной схемы и включения описаний соответствующих им блоков в иерархическое описание генерируемой логической сети.

Заключение. Разработанные программы поиска трехстабильных инверторов включены в программу декомпиляции транзисторных КМОП-схем и протестированы в ее составе на практических примерах схем транзисторного уровня.

Ключевые слова: обратное проектирование, экстракция транзисторных подсхем, КМОП-схема, проходная транзисторная логика, формат SPICE

Для цитирования. Черемисинова, Л. Д. Распознавание подсхем трехстабильных элементов в КМОП СБИС / Л. Д. Черемисинова // Информатика. – 2025. – Т. 22, № 4. – С. 82–93. – DOI: 10.37661/1816-0301-2025-22-4-82-93.

Конфликт интересов. Автор заявляет об отсутствии конфликта интересов.

Поступила в редакцию | Received 13.11.2025
Подписана в печать | Accepted 08.12.2025
Опубликована | Published 30.12.2025

Recognition of subcircuits of tristable elements in CMOS VLSI

Ljudmila D. Cheremisinova

*The United Institute of Informatics Problems
of the National Academy of Sciences of Belarus,
st. Surganova, 6, Minsk, 220012, Belarus
E-mail: cld@newman.bas-net.by*

Abstract

Objectives. The problem of extracting high-level structure at the level of logical elements from a transistor-level circuit is considered. Obtaining such a representation significantly reduces the execution time of VLSI topology verification at the design stage and serves as the basis for integrated circuit redesign. The goal of the study is to develop a method and software tools for extracting blocks representing tristable elements in CMOS circuits.

Methods. Methods for recognizing subcircuits representing tri-state elements, in particular tristable inverters, are proposed. The task is reduced to first searching for CMOS subcircuits and transmission gates subcircuits, and then for inverter structures based on them.

Results. C++ programs have been developed that implement methods for extracting three-state elements from a flat SPICE description of a transistor circuit and including descriptions of the corresponding blocks in the hierarchical description of the generated logical network.

Conclusion. The developed programs for searching the tristable inverters are included in the program for decompiling transistor CMOS circuits and tested as part of it on practical examples of transistor-level circuits.

Keywords: reverse engineering, transistor subcircuit extraction, CMOS circuit, pass transistor logic, SPICE format

For citation. Cheremisinova L. D. *Recognition of subcircuits of tristable elements in CMOS VLSI*. *Informatika [Informatics]*, 2025, vol. 22, no. 4, pp. 82–93 (In Russ.). DOI: 10.37661/1816-0301-2025-22-4-82-93.

Conflict of interest. The author declares of no conflict of interest.

Введение. Современные сверхбольшие интегральные схемы (СБИС) могут содержать до миллиарда транзисторов, и их сложность быстро увеличивается. Рост размеров и сложности микросхем, которые можно разместить на одном кристалле, а также рост стоимости их проектирования привели к необходимости разработки средств анализа и тестирования топологии, позволяющих на ранних стадиях установить, соответствует ли описание проекта на уровне транзисторов исходной спецификации на проектирование [1]. Эффективным инструментом автоматизации тестирования и проектирования СБИС является обратное проектирование, или обратный инжиниринг (англ. hardware reverse engineering), схем на уровне транзисторов [1, 2], который позволяет заменить трудоемкое схемотехническое моделирование СБИС (или части СБИС) менее затратным логическим моделированием путем распознавания (экстракции) высокоуровневых структур в схемах на транзисторном уровне. Целью данного преобразования является замена представления схемы на транзисторном (низком) уровне функционально эквивалентным представлением на уровне логических элементов (более высокоуровневым) [3]. Для построения такого описания нужно выделить в схеме наборы взаимосвязанных транзисторов в качестве отдельных компонентов, т. е. найти подсхемы, представляющие собой логические элементы. Замена найденных транзисторных подсхем логическими элементами позволяет получить схему на логическом уровне, функционально эквивалентную исходной транзисторной схеме.

Операция, в результате которой по плоскому (одноуровневому) описанию транзисторной схемы строится иерархическое описание, инверсна задаче проектирования в смысле направления процесса преобразования от спецификации до реализации интегральной схемой. По аналогии с программированием этот процесс можно считать декомпиляцией описания транзисторной

схемы [4]. Структурному анализу цифровых схем путем их декомпиляции посвящены многие работы [5–7]. Если при декомпиляции СБИС известна библиотека логических элементов, которая была использована при компиляции топологии СБИС, то задача декомпиляции сводится к поиску этих подсхем в транзисторной схеме. В более сложном в теоретическом плане случае библиотека логических элементов неизвестна. Тогда задача сводится к распознаванию в транзисторной схеме подсхем, представляющих логические элементы, и формированию библиотеки элементов, встречающихся в схеме.

В работе [4] рассмотрена задача декомпиляции плоского описания КМОП-схемы с целью построения иерархического структурного описания, компоненты которого представляют собой логические вентили и их подсхемы. Предложены метод и программа распознавания в описании транзисторной схемы комплементарных (стандартных) КМОП-вентилей статического стиля как самого распространенного, а также элементы на основе проходной логики – передаточные вентили и схемы на их основе, такие как мультиплексоры. В процессе декомпиляции выполняются следующие основные этапы: выделение подсхем, представляющих передаточные вентили и схемы на их основе; распознавание подсхем, представляющих КМОП-вентили и псевдоэлементы; выделение групп функционально и топологически идентичных подсхем и формирование библиотеки элементов; выделение подсхем с обратными связями и построение логической сети. Исходным объектом для программы декомпиляции служит плоское (одноуровневое) описание КМОП-схемы в формате SPICE (Simulation Program with Integrated Circuit Emphasis – программа моделирования с акцентом на интегральные схемы) [1], который является одним из основных форматов для обмена электрическими схемами между системами автоматизации проектирования. Результат работы программы – иерархическое SPICE-описание, в которое включены модели всех идентифицированных при декомпиляции логических элементов.

Настоящая работа продолжает эти исследования. Предлагаются методы (и их практическая реализация) выявления в МОП-схеме подсхем, реализующих трехстабильные элементы, в частности трехпозиционные инверторы.

Задание транзисторных схем. При распознавании элементов в процессе декомпиляции анализируется основная часть описания транзисторной схемы в формате SPICE – Data Statements, которая описывает компоненты схемы в виде «моделей» и задает взаимосвязи между ними. Используются два типа моделей: модели устройств (device models) и модели подсхем (subcircuit models). Первые модели представляют собой, по сути, примитивные компоненты, такие как транзисторы, диоды и т. д. Модель устройства (.subckt в SPICE-описании) определяет схему непримитивного элемента, которая задается в виде блока в разделе Data Statements и описывает структуру соединений элементов (примитивных и непримитивных) в этой подсхеме. Тип модели используемого в SPICE-описании элемента задается первой буквой его имени. Например, имена примитивных элементов, являющихся МОП-транзисторами, должны начинаться с латинской буквы «M», непримитивных элементов (подсхем) – с буквы «X». Следует заметить, что описания на SPICE нечувствительны к регистру символов.

Схема задается списком соединений ее элементов, в котором указаны связи между элементами (а точнее, между их выводами), осуществляющиеся с помощью электрических цепей (nets). При этом для каждого элемента указываются соединения всех его выводов путем задания имен связанных с ними цепей.

Главной частью плоского описания схемы в формате SPICE (листинг 1) является список транзисторов, в котором для каждого из четырех выводов транзистора указано имя цепи, соединяющей его с остальными частями схемы:

$$M<name> <nd> <ng> <ns> <nb> <model-name> ,$$

где name – имя транзистора (ему предшествует буква «m») в схеме; nd, ng, ns и nb – идентификаторы цепей, связанных с выводами стока (drain), затвора (gate), истока (source) и подложки (substrate) соответственно; model-name – имя модели (для n-МОП- или p-МОП-транзистора – это обычно nmos или pmos).

Например, плоское описание транзисторной схемы, приведенной на рис. 1, в формате SPICE представлено на листинге 1.

Листинг 1. SPICE-описание транзисторной схемы (рис. 1)

```
.GLOBAL Gnd Vdd
.SUBCKT GG0 in1 in2 in3 out
Mn1 out in3 t2 Gnd nmos
Mn2 t2 t3 Gnd Gnd nmos
Mn3 t3 in1 t4 Gnd nmos
Mn4 t4 in2 Gnd Gnd nmos
Mp1 out t3 Vdd Vdd pmos
Mp2 out in3 Vdd Vdd pmos
Mp3 t3 in1 Vdd Vdd pmos
.ENDS
Circuit GG0 contains 7 device instances.
  Class: pmos           instances: 3
  Class: nmos           instances: 4
Circuit contains 9 nets.
```

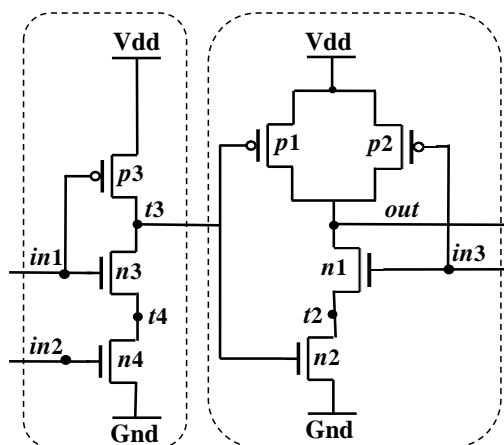


Рис. 1. Пример транзисторной схемы

Fig. 1. Transistor circuit example

Общая форма описания связей непримитивного элемента, модель которого представляется подсхемой с n выводами, в формате SPICE имеет вид

$$X\langle\text{name}\rangle \langle P1\rangle \langle P2\rangle \dots \langle Pn\rangle \langle\text{model-name}\rangle,$$

где P_i – идентификаторы цепей, связанных с выводами элемента.

Схемы на основе комплементарной МОП-логики. Основным элементом для изготовления цифровых интегральных микросхем в настоящее время является полевой МОП-транзистор (структура: металл-окисел-полупроводник) в силу высокой плотности интеграции и относительной простоты изготовления [8]. МОП-транзистор имеет четыре вывода: сток, затвор, исток и подложка. На переключательном уровне МОП-транзистор работает как управляемый ключ: если к затвору транзистора прикладывается напряжение, значение которого превышает пороговое, ключ замыкается и пропускает ток между истоком и стоком. В противном случае ток не течет и ключ является разомкнутым.

Доминирующим стилем логики при разработке современных цифровых СБИС является комплементарная МОП-структура – КМОП-структура, состоящая из МОП-транзисторов двух типов: n -МОП и p -МОП, различающихся типами носителей тока и уровнями сигнала, которые необходимо подать на затворы для протекания через них тока (и замыкания ключа). Элемент на основе стандартной (комплементарной) КМОП-логики включает две подсхемы, которые состоят соответственно из p -МОП- и n -МОП-транзисторов. Блоки обеспечивают связь выхода подсхемы элемента с источником питания V_{dd} , и тогда значение сигнала на выходе предполагается равным 1, или с землей Gnd в противном случае.

При распознавании КМОП-подсхем, реализующих логические вентили, используется структурный подход [9] к декомпиляции транзисторных схем, который сначала разбивает транзисторную схему на непересекающиеся подсхемы, представляющие группы связанных по постоянному току транзисторов. Одной из таких групп является подсхема из МОП-транзисторов с тремя типами внешних соединений: входы группы подаются только на затворы ее транзисторов, выходы группы подаются только на затворы транзисторов других групп, имеются связи транзисторов группы с шинами питания Vdd и земли Gnd. Например, схема, приведенная на рис. 1, содержит две такие группы, выделенные пунктирными линиями.

Среди найденных групп транзисторов находятся правильные подсхемы, являющиеся статическими КМОП-вентилем, значение сигнала на выходе которых представляется булевой функцией от сигналов, поступающих на выводы транзисторов (если игнорировать переходные эффекты во время переключения). Группа транзисторов, связанных по току, реализует КМОП-вентиль, если удовлетворяет следующим условиям: р-МОП-транзисторы образуют р-блок, расположенный между цепями питания Vdd и выхода группы; n-МОП-транзисторы образуют n-блок между цепями выхода группы и земли Gnd; р- и n-блоки группы имеют одинаковое количество транзисторов и реализуют взаимно инверсные функции. Каждая из подсхем, не распознанных как КМОП-вентиль, объявляется псевдоэлементом, его функциональное описание структурным методом декомпиляции в общем случае неопределимо. Например, правая из двух выделенных на рис. 1 групп транзисторов, связанных по току, удовлетворяет приведенным условиям и представляет собой вентиль И-НЕ, реализующий функцию $f = \overline{f_n} = \overline{in_3 \wedge t_3}$. Левая группа транзисторов не распознается как КМОП-вентиль и объявляется псевдоэлементом (3, 4), состоящим из трех транзисторов и четырех цепей.

При декомпиляции множество распознанных КМОП-вентилей делится на классы функционально эквивалентных (реализующих одинаковые функции), а множество псевдоэлементов разбивается на классы элементов, характеризующихся одинаковыми парами чисел (p_i, p_n) транзисторов и цепей. Каждый из полученных классов элементов (и вентилей, и псевдоэлементов) разбивается затем на подклассы топологически эквивалентных [10]. Например, в результате декомпиляции плоского SPICE-описания (для транзисторной схемы на рис. 1), представленного на листинге 1, выделен двухвходовый элемент G0, реализующий функцию И-НЕ, и псевдоэлемент P0_0 (3, 4). Полученное двухуровневое описание приведено на листинге 2.

Листинг 2. SPICE-описание двухуровневой транзисторной схемы

```
Contents of circuit cldG0.sp:  Circuit: 'GG0'
Circuit GG0 contains 7 device instances.
  Class: pmos                instances: 3
  Class: nmos                instances: 4
Circuit contains 9 nets.
Connected Componens = 2
Invalid comps
Valid Components = 1
Pass fets = 0
Psevdo Componens = 1 nets =4
Unclassified fets = 0 nets = 0
(A AND B)          1
Psevdo
(3)(4) 1
Defining cell: GG0_gen
  Defining global_node: Gnd
  Defining global node: Vdd
Start of Computation: 15h10m40s 22/08/2025
End of Computation: 15h10m40s 22/08/2025
Computation Time (s): 0.0051
.SUBCKT G0 A B Y
```

```
* (A AND B)
M1 Y A 2 Gnd nmos
M2 2 B Gnd Gnd nmos
M3 Y B Vdd Vdd pmos
M4 Y A Vdd Vdd pmos
.ENDS
.SUBCKT P0_0 P0 P1 P2
* (3) (4)
M1 P0 P1 2 Gnd nmos
M2 2 P2 Gnd Gnd nmos
M3 P0 P1 Vdd Vdd pmos
.ENDS
.SUBCKT GG0_gen in1 in2 in3 out
XM0I1 in3 t3 out G0 Fets=nmosn1+nmosn2+pmosp1+pmosp2
XMP0I1 t3 in1 in2 P0_0 Fets=nmosn3+nmosn4+pmosp3
.ENDS
```

Достоинствами КМОП-стиля являются сравнительно небольшое рассеивание мощности, высокая степень интеграции (за счет плотной упаковки схем), низкое энергопотребление и масштабируемость напряжения питания. Недостаток заключается в значительном количестве транзисторов: для реализации элемента с k входами требуются $2k$ транзисторов, половину из которых составляют затратные по площади р-МОП-транзисторы.

Схемы на основе проходной транзисторной логики. Наряду со стандартной КМОП-логикой при построении интегральных схем часто используется МОП-логика на проходных транзисторах (pass transistor logic, PTL), которая позволяет существенно сократить число транзисторов, необходимых для реализации логических функций, а также снизить энергопотребление схемы [8].

Простейшая цифровая схема состоит из одного МОП-транзистора – управляемого двоичного ключа, представляющего собой двунаправленный элемент, проводимость которого управляется сигналом на выводе затвора. Например, n-МОП-транзистор (рис. 2, а) включается (и пропускает сигнал с вывода A на B), когда на его затвор подается сигнал высокого уровня ($C = 1$), и запирается (не пропускает ток), когда на его затвор поступает сигнал низкого уровня ($C = 0$). В последнем случае вывод B переходит в третье (высокоимпедансное) состояние. р-МОП-транзистор, наоборот, включается (и пропускает сигнал с вывода A) при сигнале $C = 0$ на его затворе и запирается при $C = 1$.

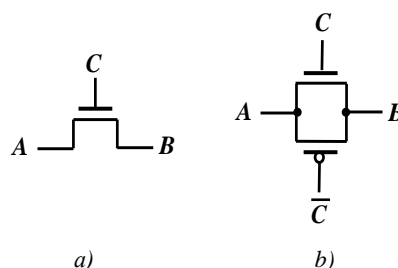


Рис. 2. Элементы проходной логики: а) n-МОП-транзистор; б) передаточный КМОП-вентиль
Fig. 2. Elements of pass transistor logic: а) n-MOS transistor; б) CMOS transmission gate

В проходной логике сигналы с входных портов схемы допускается использовать для питания не только затворов транзисторов, но и выводов стока и истока n-МОП- и р-МОП-транзисторов. На эти выходы могут подаваться внутренние сигналы схемы, что дает возможность достаточно просто реализовывать некоторые достаточно сложные логические функции. Логика на проходных транзисторах позволяет реализовывать более эффективно, чем стандартная КМОП-логика, схемы с большим количеством вентилях, такие как мультиплексоры, вентили исключаящее ИЛИ, сумматоры. Однако транзисторы n-МОП- и р-МОП-типа по отдельности не являются идеально проводящими ключами при передаче сигналов логических 1 и 0. Транзистор n-МОП-типа

служит почти идеальным переключателем при передаче сигнала логического 0, но сильно снижает уровень напряжения, соответствующий логической единице. Аналогично р-МОП-транзистор при нулевом напряжении на затворе хорошо передает высокие уровни напряжения (сигналы логической 1), а при передаче низких уровней напряжения (сигналов логического 0) выходное напряжение может не снизиться до приемлемого уровня.

Распространенным методом устранения этих недостатков является использование не одного проходного транзистора, а передаточного вентиля, который состоит из пары транзисторов – п-МОП- и р-МОП-типа, связанных параллельно своими выводами истока и стока (рис. 2, *b*) [8, 11]. Передаточный вентиль действует как двунаправленный ключ, для которого используется парафазное управление: на затворы п-МОП- и р-МОП-транзисторов должны подаваться комплементарные сигналы C и \bar{C} . Если $C = 1$ (тогда $\bar{C} = 0$), оба транзистора открыты, позволяя сигналу пройти через элемент от вывода A к B или наоборот (от B к A), поскольку передача сигнала в таком элементе может идти в обоих направлениях и ни одно из них не является предпочтительным. В результате цепи A и B имеют одинаковый потенциал ($A = B$) при $C = 1$. В случае $A = 0$ вывод B замкнут на A через п-МОП-транзистор, а при $A = 1$ вывод B замкнут через р-МОП-транзистор. Если же $C = 0$ (тогда $\bar{C} = 1$), оба транзистора запираются, при этом вывод A не имеет связи с выводом B . Это свойство передаточного вентиля позволяет использовать его для построения схем с тремя состояниями, которые осуществляют блокировку передачи сигналов на некоторые участки схем.

Передаточные вентили, несмотря на проблемы, связанные с деградацией уровня сигнала при их последовательном соединении, широко используются при построении сложных цифровых микросхем, так как схемы на их основе состоят из меньшего количества транзисторов, работают быстрее и требуют меньше энергии, чем аналогичные схемы, реализованные на основе КМОП-логики. Логика на основе передаточных вентилях широко применяется, как правило, при проектировании сложных регулярных структур там, где существенна скорость работы и число транзисторов. Например, ее использование более предпочтительно по сравнению с элементами на основе стандартной КМОП-логики при проектировании схем мультиплексоров, регистров и сумматоров.

В процессе декомпиляции транзисторных структур подсхемы, представляющие передаточные вентили, находятся на этапе анализа SPICE-описания транзисторной схемы. На этом этапе собирается информация, связанная с каждым синтаксическим элементом анализируемой транзисторной схемы, и строится ее графовая модель. Передаточные элементы распознаются путем поиска пар связанных п-МОП- и р-МОП-транзисторов. В работе [12] предлагается метод поиска таких пар, который имеет линейную сложность. Он основан на построении и анализе хеш-таблицы, которая содержит информацию о связях всех примитивных элементов. Ключами таблицы являются хеши (последовательности битов), вычисленные по текстовым строкам, которые образованы из имен цепей, связанных с истоком и стоком каждого из транзисторов анализируемой схемы. Запись в таблице состоит из хеша (ссылки на запись в таблице имен элементов схемы) имени транзистора с такими связями истока и стока или из хешей имен транзисторов, если транзисторов с такими связями несколько.

В процессе просмотра SPICE-описания для каждого транзистора формируется текстовая строка T из имен цепей, связанных с его истоком и стоком. Вычисленный для транзистора хеш $h(T)$ является ключом хеш-таблицы H . Запись в таблице H , выбираемая по некоторому ключу $h(T)$, состоит из хешей имен тех транзисторов, для которых значение хеша $h(T_i)$ равно h . Таким образом, запись хеш-таблицы H задает связанные транзисторы, истоки (и стоки) которых связаны с одной и той же цепью. Ситуация, когда для очередного рассматриваемого транзистора сгенерирован ключ (хеш $h(T)$), для которого в хеш-таблице H уже есть вход, означает, что найдена пара связанных транзисторов, представляющая передаточный вентиль.

Для транзисторной схемы, фрагмент описания которой приведен на листинге 3, имеются два передаточных элемента, представленных парами связанных транзисторов: (4, 19), (5, 20). Имена транзисторов, образующих передаточные вентили, а также цепей, связанных с их стоками и истоками, выделены на листинге 3 жирным шрифтом.

Листинг 3. Фрагмент SPICE-описания транзисторной схемы

```
.SUBCKT rdrl rl sl c d vcc gnd q
M0 130 8 9 gnd MN
M1 gnd rl 130 gnd MN
M2 131 sl gnd gnd MN
M3 13 g 131 gnd MN
M4 8 c 13 gnd MN
M5 d 10 8 gnd MN
M6 gnd c 10 gnd MN
. . .
M18 13 g vcc vcc MP
M19 8 10 13 vcc MP
M20 d c 8 vcc MP
M21 vcc c 10 vcc MP
M22 12 10 g vcc MP
. . .
```

После распознавания передаточных вентилях исходное плоское описание транзисторной схемы преобразуется в иерархическое описание, в котором появляется описание модели передаточного вентиля (см. рис. 2, *b*) с именем CN2 (листинг 4). Вентиль состоит из двух транзисторов и имеет семь выводов: А и В – имена цепей, связанных со стоками и истоками; NC (соответствует сигналу \bar{C}) и С – имена цепей, соединенных с затворами р-МОП- и п-МОП-транзисторов соответственно; PB и NB – имена цепей, связанных с их подложками. Фактически сначала указываются цепи, связанные со стоком, затвором и истоком р-МОП-транзистора, а затем цепь затвора п-МОП-транзистора. Пары транзисторов (5, 20) и (4, 19) из плоского SPICE-описания (листинг 3) заменяются в иерархическом описании передаточными элементами XM2I1 и XM2I4 типа CN2 (листинг 5).

Листинг 4. SPICE-описание передаточного вентиля

```
.SUBCKT CN2 A NC B C NB PB
M1 A NC B PB MP
M2 A C B NB MN
.ENDS
```

Листинг 5. Фрагмент SPICE-описания, задающий связи передаточных вентилях

```
XM2I1 d c 8 10 gnd vcc CN2 Fets=pmos20+nmos5
XM2I4 8 10 13 c gnd vcc CN2 Fets=pmos19+nmos4
```

Элементы с тремя состояниями выхода. Элементы с тремя состояниями на выходе применяются в цифровых системах [8, 13], когда необходимо передавать информацию от разных источников сигнала на одну и ту же схему или шину данных. Выходы таких элементов кроме обычных состояний 0 и 1 могут иметь «третье логическое состояние», называемое состоянием высокого импеданса (обозначаемое обычно как High-Z) и соответствующее высокому сопротивлению, которое эквивалентно электрически отключенному (открытому) состоянию выхода. Состояние высокого импеданса электрически изолирует устройства от линии передачи данных. Простейшие реализации элементов с тремя состояниями (трехстабильных элементов) рассмотрены выше и приведены на рис. 2.

В практических схемах для передачи данных от разных устройств с помощью трехстабильных элементов обычно используются трехпозиционные инверторы. На рис. 3 изображены две схемы инверторов с тремя состояниями. Инвертор первого типа реализован путем каскадирования КМОП-инвертора с передаточным вентиляем (на основе проходной логики). Очевидно, что передаточный вентиль должен быть именно на выходе такого инвертора. Инвертор второго типа представляет собой псевдоэлемент (4, 5), состоящий из четырех транзисторов и пяти цепей.

Проводимость обоих инверторов зависит от значения сигнала S на их входе, который является для них управляющим. Схемы инверторов при высоком уровне управляющего сигнала ($S = 1$) работают как обычные инверторы значения сигнала In на их входах, т. е. реализуют на выходе

сигнал, инверсный входному ($Out = \bar{In}$). При низком уровне управляющего сигнала ($S = 0$) выход схем инверторов переходит в высокоимпедансное (высокоомное) состояние, когда сигнал на выходах их схем отсутствует.

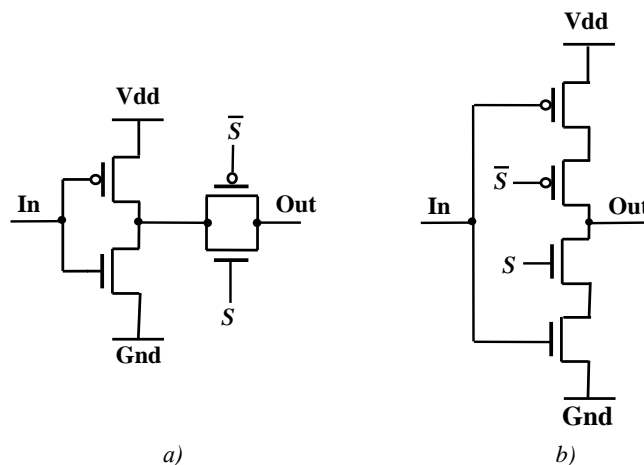


Рис. 3. Схемы инверторов с тремя состояниями на основе: а) передаточного вентиля; б) псевдоэлемента (4, 5)

Fig. 3. Three-state inverter circuits based on: a) transmission gate; b) pseudoelement

Распознавание инверторов с тремя состояниями выхода. В процессе декомпиляции плоского описания транзисторной схемы сначала выполняются разбор и анализ исходного SPICE-описания. На этой стадии, как говорилось выше, находятся и выделяются передаточные вентиля, а также схемы на их основе, такие как мультиплексоры и демultipлексоры. Передаточные вентиля, не вошедшие в состав этих элементов, являются кандидатами на вхождение в состав инверторов с тремя состояниями.

После выделения передаточных вентиля и схем на их основе SPICE-описание транзисторной схемы становится двухуровневым. Первый уровень образуют модели найденных элементов и модель оставшейся части схемы, для которой генерируется графовое представление. Этот граф разбивается на связные подграфы. Им соответствуют подсхемы из связанных по току транзисторов, среди которых находятся КМОП-вентили и псевдоэлементы [9]. Выделенные элементы группируются сначала на функционально эквивалентные (в случае КМОП-вентилей) или структурно схожие (в случае псевдоэлементов должны быть равны пары (k, l) чисел транзисторов и цепей). Каждый из полученных таким образом классов элементов разбивается затем на подклассы топологически эквивалентных [10]. Данным этапом заканчивается формирование библиотеки элементов.

Схемы выделенных типов трехстабильных инверторов находятся уже после построения библиотеки распознанных в процессе декомпиляции элементов. Схема инвертора первого типа (рис. 3, а) находится как связанная пара «инвертор – передаточный вентиль»: выход КМОП-инвертора связан со входом передаточного вентиля одной цепью.

Схема трехстабильного инвертора второго типа (рис. 3, б) ищется среди распознанных псевдоэлементов (4, 5), имеющих четыре транзистора и пять цепей. Псевдоэлемент (4, 5) представляет собой инвертор с тремя состояниями в следующих случаях:

1) затворы пары транзисторов р-МОП- и н-МОП-типов, соединенных (выводами стоков или истоков) соответственно с цепями питания и земли, связаны с одной и той же цепью (цепью In на рис. 3, б);

2) на затворы остальных двух р-МОП- и н-МОП-транзисторов подаются взаимно инверсные сигналы (\bar{S} и S на рис. 3, б).

Например, на листинге 6 приведены SPICE-описания двух топологически разных псевдоэлементов GZ_0 (4, 5) и GZ_1 (4, 5), распознанных в описании транзисторной схемы CPU. При их анализе на предмет распознавания инвертора с тремя состояниями выделяются н-МОП- и р-МОП-транзисторы, истоки или стоки которых связаны с цепями питания (таких вариантов

может быть четыре, так как сток и исток каждого транзистора равноправны). Псевдоэлемент считается инвертором с тремя состояниями, если для него выполняется первое условие: затворы выделенных транзисторов связаны с одной и той же цепью (на рис. 3, *b* это цепь In).

Листинг 6. SPICE-описание псевдоэлементов (4, 5)

```
.SUBCKT GZ_0 Y A P2 P3
* A
M1 2 P2 Y GND N W=0.15u L=0.06u
M2 2 A GND GND N W=0.15u L=0.06u
M3 4 A VCC VCC P W=0.15u L=0.06u
M4 Y P3 4 VCC P W=0.15u L=0.06u
.ENDS
.SUBCKT GZ_1 Y A P2 P3
* A
M1 1 A GND GND N W=0.15u L=0.06u
M2 Y P2 1 GND N W=0.15u L=0.06u
M3 4 A VCC VCC P W=0.15u L=0.06u
M4 Y P3 4 VCC P W=0.15u L=0.06u
```

Псевдоэлемент GZ_1 (листинг 5) является инвертором с тремя состояниями, так как затворы его транзисторов 1 и 3 (n-МОП- и p-МОП-типов) соединены с одной и той же цепью А, а их истоки связаны соответственно с цепями земли и питания. Аналогично псевдоэлемент GZ_0 также является трехстабильным инвертором, так как на затворы транзисторов 2 и 3 поступает сигнал с одной и той же цепи А, а их истоки связаны с цепями земли и питания. Стоит заметить, что инверторы GZ_0 и GZ_1 функционально эквивалентны, но топологически неидентичны: выход Y инвертора GZ_0 связан с истоком транзистора 1, а инвертора GZ_1 – со стоком транзистора 2.

Второе условие, согласно которому сигнал, соответствующий цепи P2, является инверсным сигналу цепи P3, проверяется на основе анализа логической схемы, формируемой на последнем этапе декомпиляции транзисторной схемы.

Обсуждение практических результатов. Описанные в работе методы экстракции подсхем передаточных вентилях и псевдоэлементов реализованы в составе программы выполнения первого этапа декомпиляции плоских SPICE-описаний транзисторных схем. На этом этапе строится библиотека распознанных элементов и генерируется иерархическое SPICE-описание. На втором этапе декомпиляции в иерархическом SPICE-описании выделяются подсхемы инверторов с тремя состояниями и вентили исключающее ИЛИ, а затем строится логическая схема, реализующая исходную транзисторную схему [14].

В таблице приведены данные о примере декомпиляции плоского SPICE-описания транзисторной схемы, которое содержит значительное число трехстабильных инверторов на основе псевдоэлемента (4, 5). В некоторых строках таблицы приведены значения параметров через слеш. В строках «Типы КМОП-вентилей» и «Число типов псевдоэлементов» через слеш указаны числа разных классов функционально и топологически эквивалентных элементов. Например, «63/212» в строке «Типы КМОП-вентилей» означает, что найденные 54 323 КМОП-вентилей разделены на 63 класса функционально эквивалентных элементов. Каждый из этих классов в свою очередь разбит на подклассы топологически эквивалентных элементов, и общее число таких классов равно 212. В строке «Процессорное время декомпиляции» через слеш приведены значения времени выполнения первого и второго этапов декомпиляции.

На первом этапе декомпиляции рассматриваемой транзисторной схемы найдены 2392 псевдоэлемента (4, 5). Все эти псевдоэлементы на втором этапе декомпиляции распознаны как инверторы с тремя состояниями, разделенными на две группы топологически эквивалентных схем: GZ_1 (листинг 6) и GZ_0, содержащих 26 и 2366 инверторов соответственно.

Экспериментальные данные
Experimental Data

Категории <i>Categories</i>	Количество <i>Quantity</i>
Примитивные элементы	243 806
МОП-транзисторы	243 806
Цепи	123 017
Типы КМОП-вентилей	63/212
КМОП-вентили (всех типов)	54 323
Типы псевдоэлементов	1/2
Псевдоэлементы (всех типов)	2392
Типы инверторов с тремя состояниями	2
Инверторы с тремя состояниями	2392
Передаточные элементы	6902
Типы мультиплексоров	АА, ВВ
Мультиплексоры	1559
Типы триггеров	8
Триггеры (всех типов)	4924
Процессорное время декомпиляции	98,128/20,051

На этапе построения логической схемы на основе распознанных элементов в ней были найдены 4924 триггера восьми типов. Все найденные триггеры не имеют в своем составе мультиплексоров, но два типа триггеров (их всего 2366) содержат по одному трехстабильному инвертору типа GZ_0 с тремя состояниями.

Заключение. Предложенные методы распознавания подсхем инверторов с тремя состояниями реализованы на языке C++ как часть программы декомпиляции плоских описаний транзисторных схем в формате SPICE. Программа декомпиляции была протестирована на практических примерах описаний КМОП-схем. Декомпилированные схемы прошли проверку на соответствие исходной топологии транзисторной схемы с помощью разработанных средств верификации [20], а также средств Mentor Graphics Calibre nmLVS. В программе на каждом этапе декомпиляции используются внутренние представления транзисторной схемы, оптимальные с точки зрения требуемого объема памяти и скорости обработки. Испытания показали, что программа имеет достаточное быстродействие, чтобы обрабатывать схемы более чем со 100 тыс. транзисторов за несколько минут на ПЭВМ.

Список использованных источников

1. Baker, R. J. CMOS Circuit Design, Layout, and Simulation / R. J. Baker. – Third ed. – Wiley-IEEE Press, 2010. – 1214 p.
2. Hunt, V. D. Reengineering: Leveraging the Power of Integrated Product Development / V. D. Hunt. – Wiley, 1993. – 283 p.
3. Zhang, N. The subcircuit extraction problem / N. Zhang, D. C. Wunsch, F. Harary // Proceedings IEEE International Behavioral Modeling and Simulation Workshop. – 2005. – Vol. 33, no. 3. – P. 22–25.
4. Черемисинов, Д. И. Извлечение сети логических элементов из КМОП-схемы транзисторного уровня / Д. И. Черемисинов, Л. Д. Черемисинова // Микроэлектроника. – 2019. – Т. 48, № 3. – С. 224–234. – DOI: 10.1134/S0544126919030037.
5. Kundu, S. GateMaker: A transistor to gate level model extractor for simulation, automatic test pattern generation and verification / S. Kundu // Proc. of the Intern. Test Conf., Washington, USA, 18–23 Oct. 1998. – Washington, 1998. – P. 372–381.
6. Yang, L. FROSTY: A program for fast extraction of high-level structural representation from circuit description for industrial CMOS circuits / L. Yang, C.-J. R. Shi // Integration the VLSI Journal. – 2006. – Vol. 39, no. 4. – P. 311–339.
7. Han, M. Efficient subgraph matching: Harmonizing dynamic programming, adaptive matching order, and failing set together / M. Han, H. Kim, G. Gu // Proc. of Intern. Conf. on Management of Data (SIGMOD '19), Amsterdam, Netherlands, 30 June – 5 July 2019. – Amsterdam, 2019. – P. 1429–1446.
8. Рабаи, Ж. М. Цифровые интегральные схемы. Методология проектирования / Ж. М. Рабаи, А. Чандрасан, Б. Николич ; пер с англ. – 2-е изд. – М. : ООО «И.Д. Вильямс», 2007. – 912 с.

9. Черемисинов, Д. И. Распознавание логических вентилях в плоской транзисторной схеме / Д. И. Черемисинов, Л. Д. Черемисинова // Информатика. – 2021. – Т. 18, № 4. – С. 96–107. – DOI: 10.37661/1816-0301-2021-18-4-96-107.

10. Черемисинов, Д. И. Канонизация графов при декомпиляции транзисторных схем / Д. И. Черемисинов, Л. Д. Черемисинова // Информатика. – 2022. – Т. 19, № 3. – С. 25–39. – DOI: 10.37661/1816-0301-2022-19-3-25-39.

11. Combinational circuits using transmission gate logic for power optimization / G. N. Balaji, V. Aathira, K. Ambhikavathi [et al.] // International Research Journal of Engineering and Technology (IRJET). – 2016. – Vol. 3, no. 5. – P. 649–654.

12. Черемисинов, Д. И. Методы структурного распознавания подсхем проходной транзисторной логики в КМОП-схемах / Д. И. Черемисинов, Л. Д. Черемисинова // Известия высших учебных заведений. Электроника. – 2025. – Т. 30, № 1. – С. 51–63. – DOI: 10.24151/1561-5405-2025-30-1-51-63.

13. Угрюмов, Е. П. Цифровая схемотехника / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2000. – 528 с.

14. Черемисинов, Д. И. Обратное проектирование СБИС для обеспечения безопасности аппаратуры / Д. И. Черемисинов, Л. Д. Черемисинова // Проблемы разработки перспективных микро- и наноэлектронных систем : сб. тр. / под общ. ред. акад. РАН А. Л. Стемпковского. – М. : ИПИМ РАН, 2022. – Вып. III. – С. 10–17.

References

1. Baker R. J. *CMOS Circuit Design, Layout, and Simulation*, third edition. Wiley-IEEE Press, 2010, 1214 p.
2. Hunt V. D. *Reengineering: Leveraging the Power of Integrated Product Development*. Wiley, 1993, 283 p.
3. Zhang N., Wunsch D. C., Harary F. The subcircuit extraction problem. *Proceedings IEEE International Behavioral Modeling and Simulation Workshop*, 2005, vol. 33, no. 3, pp. 22–25.
4. Cheremisinov D. I., Cheremisinova L. D. *Extracting a logic gate network from a transistor-level CMOS circuit*. *Mikroelektronika [Russian Microelectronics]*, 2019, vol. 48, no. 3, pp. 224–234 (In Russ.). DOI: 10.1134/S0544126919030037.
5. Kundu S. GateMaker: A transistor to gate level model extractor for simulation, automatic test pattern generation and verification. *Proceedings of the International Test Conference, Washington, USA, 18–23 October 1998*. Washington, 1998, pp. 372–381.
6. Yang L., Shi C.-J. R. FROSTY: A program for fast extraction of high-level structural representation from circuit description for industrial CMOS circuits. *Integration the VLSI Journal*, 2006, vol. 39, no. 4, pp. 311–339.
7. Han M., Kim H., Gu G. Efficient subgraph matching: Harmonizing dynamic programming, adaptive matching order, and failing set together. *Proceedings of International Conference on Management of Data (SIGMOD '19), Amsterdam, Netherlands, 30 June – 5 July 2019*. Amsterdam, 2019, pp. 1429–1446.
8. Rabaev J. M., Chandrakasan A., Nikolic B. *Digital Integrated Circuits*, 2nd edition. Pearson, 2002, 800 p.
9. Cheremisinov D. I., Cheremisinova L. D. *Logical gates recognition in a flat transistor circuit*. *Informatika [Informatics]*, 2021, vol. 18, no. 4, pp. 96–107 (In Russ.). DOI: 10.37661/1816-0301-2021-18-4-96-107.
10. Cheremisinov D. I., Cheremisinova L. D. *Canonization of graphs during transistor circuits decompilation*. *Informatika [Informatics]*, 2022, vol. 19, no. 3, pp. 25–39 (In Russ.). DOI: 10.37661/1816-0301-2022-19-3-25-39.
11. Balaji G. N., Aathira V., Ambhikavathi K., Geethiga S., Havin R. Combinational circuits using transmission gate logic for power optimization. *International Research Journal of Engineering and Technology (IRJET)*, 2016, vol. 3, no. 5, pp. 649–654.
12. Cheremisinov D. I., Cheremisinova L. D. *Recognition of pass transistor logic subcircuits in CMOS circuits*. *Izvestija vysshih uchebnyh zavedenij. Jelektronika [Proceedings of Universities. Electronics]*, 2025, vol. 30, no. 1, pp. 51–63 (In Russ.). DOI: 10.24151/1561-5405-2025-30-1-51-63.
13. Ugryumov Ye. P. *Cifrovaja shemotekhnika. Digital Circuit Design*. Saint Petersburg, BHV-Peterburg, 2000, 528 p. (In Russ.).
14. Cheremisinov D. I., Cheremisinova L. D. *Reverse engineering of VLSI for equipment safety*. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh system [Problems of Developing Promising Micro- and Nanoelectronic Systems]*. In A. L. Stempkovskij (ed.). Moscow, Institut problem proektirovaniya v mikroelektronike Rossijskoj akademii nauk, 2022, iss. III, pp. 10–17 (In Russ.).

Информация об авторе

Черемисинова Людмила Дмитриевна, доктор технических наук, профессор, главный научный сотрудник, Объединенный институт проблем информатики Национальной академии наук Беларуси.
E-mail: cld@newman.bas-net.by

Information about the author

Ljudmila D. Cheremisinova, D. Sc. (Eng.), Prof., Chief Researcher, The United Institute of Informatics Problems of the National Academy of Sciences of Belarus.
E-mail: cld@newman.bas-net.by