

УДК 519.711

Логическое проектирование цифровых устройств

Бибилло Петр Николаевич

заведующий лабораторией логического проектирования,

доктор технических наук

E-mail: bibilo@newman.bas-net.by

Дискретными называются устройства, функционирующие в дискретном времени и осуществляющие преобразование дискретной информации. Дискретная информация чаще всего представляется в цифровой 0, 1 (двоичной) форме, поэтому дискретные устройства называют также *цифровыми*. При реализации цифровых устройств на микроэлектронной базе сверхбольших интегральных схем (СБИС) этап логического проектирования является центральным. На этом этапе осуществляется переход от алгоритмических описаний устройств к логическим схемам в заданных технологических базисах. Основными задачами логического проектирования являются моделирование и функциональная верификация исходных спецификаций на проектирование, синтез логических схем, верификация результатов синтеза. Задачи синтеза трудоемкие, так как при синтезе всегда стремятся получить не просто логические схемы, реализующие требуемое поведение устройства, а схемы с меньшей площадью, т. е. меньшим числом транзисторов, меньшей задержкой (большим быстродействием) и меньшим энергопотреблением. Именно по результатам логического проектирования определяются перечисленные технические параметры получаемых логических схем.

Лаборатория логического проектирования ОИПИ НАН Беларуси была образована в 1971 г. (тогда она называлась лабораторией СП и ЛС – «системного программирования и логического синтеза»). Основным научным направлением лаборатории является разработка систем, моделей, методов и алгоритмов автоматизации логического проектирования цифровых устройств. В ней развивались методы и разрабатывались программные средства для автоматизации логического проектирования дискретных устройств и систем на элементах малой степени интеграции (МИС), средней (СИС), большой (БИС) и сверхбольшой (СБИС). В рамках основного направления проводились исследования в следующих областях:

- высокоуровневые языки проектирования цифровых систем;
- теоретическое и программное обеспечение автоматизации логического проектирования заказных цифровых СБИС;
- топологическое проектирование функциональных блоков СБИС на основе макроэлементов с регулярной структурой;
- логическое управление параллельными процессами;
- верификация логических описаний цифровых схем;
- комбинаторные задачи логического проектирования и искусственного интеллекта;
- методы и средства создания экспертных систем распознавания;
- специализированные средства и языки программирования.

Научные достижения лаборатории за первые 30 лет ее деятельности отражены в юбилейном сборнике [1], за 40 лет – в книге [2]. Данная статья посвящена основным научным теоретическим и практическим результатам, полученным сотрудниками лаборатории за последние 10 лет (2015–2024 гг.). Эти результаты опубликованы в научных монографиях [3–6]. Публикации [7–9] являются учебными пособиями, пособие [9] по языку VHDL (Very high speed integrated circuits Hardware Description Language – язык описания аппаратуры сверхскоростных интегральных схем) приобрело большую популярность и выдержало 10 изданий. Полный список всех публикаций сотрудников лаборатории логического проектирования за 2015–2024 гг. включает 365 публикаций. Всего сотрудниками лаборатории издано 47 монографий и 18 учебных пособий.

Моделирование и функциональная верификация. Исходные алгоритмические описания (спецификации) для проектирования задаются на всемирно используемых высокоуровневых

языках проектирования VHDL и Verilog. В лаборатории используется также язык ПРАЛУ (язык описания простых алгоритмов логического управления), автором которого является А. Д. Закревский. Разработаны программы моделирования ПРАЛУ-описаний и перехода к VHDL-описаниям. Для моделирования VHDL-описаний разработаны программы получения разнообразных тестов. Функциональная верификация исходных VHDL-описаний осуществляется на основе моделирования, по результатам которого можно выполнить проверку покрытия операторов в VHDL-описаниях и проверку прохождения состояний в конечных и операционных автоматах. Например, на рис. 1 по результатам моделирования показан граф переходов между состояниями сложного конечного автомата. На дугах и в вершинах графа показано число их прохождений на тесте с 20 000 псевдослучайных тестирующих наборов [4, с. 169].

Для функциональной верификации используется также язык PSL (Property Specification Language – язык спецификации свойств), позволяющий применять аппарат утверждений (асертов) при моделировании. Записывая программы на PSL и проводя моделирование, можно выполнять проверку правильности проекта на основе проверки истинности либо ложности утверждений о поведении соответствующих сигналов (объектов проекта) во времени [3].

Технологически независимая оптимизация представлений систем булевых функций является первым этапом синтеза логических схем. На втором этапе выполняется технологическое отображение в заданный базис (библиотеку) логических элементов заказной СБИС. Важнейшим является первый этап, на котором выбирается форма представления системы булевых функций и осуществляется минимизация этой формы. Результат выполнения первого этапа определяет и важнейшие параметры синтезированной на втором этапе логической схемы: площадь, временную задержку и энергопотребление. Методы и программы технологически независимой оптимизации ранее в лаборатории развивались для исходных заданий реализуемых систем булевых функций в виде систем дизъюнктивных нормальных форм (ДНФ), были развиты также методы совместной и раздельной минимизации систем булевых функций в классе ДНФ, методы факторизации – выделения общих (одинаковых) частей конъюнкций, дизъюнкций и одинаковых подвыражений в скобочных алгебраических представлениях систем булевых функций, а также многочисленные методы раздельной и совместной функциональной декомпозиции систем булевых функций.

В последнее время в качестве методов технологически независимой оптимизации были разработаны методы, алгоритмы и программы минимизации многоуровневых представлений систем функций на основе разложения Шеннона – методы минимизации BDD (Binary Decision Diagram, бинарная диаграмма решений), модификаций BDD и булевых сетей.

Разложением Шеннона булевой функции $f(\mathbf{x})$, $\mathbf{x}=(x_1, \dots, x_n)$, по переменной x_i называется представление $f(\mathbf{x})=\bar{x}_i f_0 \vee x_i f_1$. Функции $f_0=f(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n)$, $f_1=f(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$ называются кофакторами (англ. cofactors) разложения по переменной x_i . Каждый из кофакторов $f(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n)$, $f(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$ может быть разложен по одной из переменных из множества $\{x_1, \dots, x_{i-1}, x_{i+1}, \dots, x_n\}$. Процесс разложения кофакторов заканчивается, когда все n переменных будут использованы для разложения. Процесс разложения задается в виде графа BDD, каждая вершина которого соответствует кофактору. В качестве обобщений BDD были изучены *BDDI-представления* (Binary Decision Diagram with Inverse cofactors). Под BDDI понимается ориентированный бесконтурный граф, задающий последовательные разложения Шеннона булевой функции $f(\mathbf{x})=f(x_1, \dots, x_n)$ либо системы $f(\mathbf{x})=(f^1(\mathbf{x}), \dots, f^m(\mathbf{x}))$ булевых функций по всем переменным x_1, x_2, \dots, x_n при заданном порядке (перестановке) переменных, по которым проводятся разложения, при условии нахождения пар взаимно инверсных кофакторов. Были проведены широкие экспериментальные исследования эффективности использования при синтезе раздельной и совместной BDDI-минимизации систем булевых функций, предложены алгоритмы выделения из формульных описаний исходной системы булевых функций так называемых связанных подсистем. При этом каждая из связанных подсистем минимизируется отдельно, однако функции, составляющие каждую связанную подсистему, целесообразно минимизировать совместно. В качестве исходных формульных описаний системы булевых функций выступают совместно минимизированные BDDI-представления либо формулы, соответствующие совместно минимизированным булевым сетям. Эксперименты показали целесообразность использования при синтезе методов выделения связанных подсистем функций.

Декомпозиция. Для матричных и BDD-представлений булевой функции $f(x)$ решаются задачи нахождения функциональных разложений $f(x)=f(y, z)=\varphi(\varphi_1(y), \varphi_2(z))$ с целью получения двух подфункций $\varphi_1(y)$, $\varphi_2(z)$ с меньшим числом аргументов. При этом выходные функции φ данных разложений являются двухоперандными алгебраическими операциями, такими, как дизъюнкция, конъюнкция, эквиваленция, исключающее ИЛИ. Основное внимание было уделено поиску разбиения множества аргументов заданной функции $f(x)$ на подмножества, соответствующие векторам y , z . Такие разложения называются алгебраическими разложениями с заданными выходными функциями, а в зарубежной литературе – *bi-decomposition*. Для функциональных разложений более общего вида были проведены экспериментальные исследования их эффективности при синтезе схем заказных СБИС, т. е. для матричных форм систем ДНФ булевых функций изучалась эффективность применения многочисленных методов и программ декомпозиции [6].

Сокращение энергопотребления синтезируемых логических схем из библиотечных логических КМОП-элементов было изучено для операционных и конечных автоматов, а также для многовыходных комбинационных схем. На рис. 2 показан график потребляемого тока операционным автоматом. Потребляемый ток резко возрастает, когда автомат выполняет трудоемкую арифметическую операцию перемножения операндов (целых чисел), и потребление тока становится значительно меньшим, когда над операндами осуществляется логическая операция типа дизъюнкции либо конъюнкции чисел, интерпретируемых как двоичные (булевы) векторы. График показывает также важность нахождения максимальных значений потребляемого тока и соответствующих тестов – двоичных наборов значений входных переменных.

Одним из эффективных подходов к снижению динамического энергопотребления цифровых устройств является создание такого алгоритмического описания VHDL-проекта, где предусматривается отключение тех блоков, функционирование которых не требуется в одном либо нескольких (многих) тактах функционирования синхронной схемы. Были изучены именно такие способы алгоритмического описания операционных устройств, состоящих из управляющего автомата и операционного блока (тракта данных). Для оценки энергопотребления логических схем принят предложенный в лаборатории подход, позволяющий использовать быстродействующее логическое VHDL-моделирование структурных описаний (*netlists*) логических схем вместо трудоемкого схемотехнического моделирования Spice-описаний схем. Логическое моделирование с использованием языка VHDL позволяет проводить подсчет числа переключений транзисторов в комбинационных схемах КМОП СБИС, с достаточной точностью и скоростью предсказывать средние значения потребляемого схемой тока, что значительно сокращает время оценки вариантов логических схем на этапе синтеза проектов заказных КМОП СБИС. Экспериментально доказано, что конвейеризация нерегулярных логических схем, осуществляемая с целью достижения высоких показателей быстродействия, приводит к значительному повышению потребляемого тока за счет внесения элементов памяти (триггеров) между каскадами логической схемы.

Программный комплекс CMOSLD разработан с целью автоматизации логического проектирования заказных КМОП СБИС для применения в космических областях с учетом площади кристалла и рассеивания потребляемой мощности. Сокращение энергопотребления цифровых блоков является одной из важнейших проблем, возникающих при проектировании заказных СБИС, которые выполняются по КМОП-технологии. В свою очередь, важным аспектом решения данной проблемы является сокращение сложности (площади) логических схем, так как от нее существенно зависит и величина потребляемого схемой тока. Другой аспект решения данной проблемы – необходимость оценки не только среднего, но и максимального (пикового) значения энергопотребления логических схем. Проблема вычисления оценки максимальной рассеиваемой мощности существенно отличается от проблемы вычисления оценки среднего значения рассеиваемой мощности для этой же схемы, так как в таком случае стоит задача найти наихудший вариант при функционировании схемы, когда схемой потребляется максимум энергии и требуется построение энергоемких тестов, т. е. тестов, вызывающих повышенное энергопотребление. Достаточно точная (но весьма трудоемкая) оценка энергопотребления может быть получена путем

схемотехнического моделирования транзисторных описаний схем. Однако возрастание размерностей задачи синтеза и разнообразие вариантов реализаций схем приводят к необходимости разработки средств для быстрой оценки энергопотребления с приемлемой для практики точностью (погрешностью). Использование логического моделирования для этих целей требует построения описаний логических элементов, позволяющих учитывать их потребляемую мощность и временные задержки элементов схемы. Комплекс CMOSLD предназначен для автоматизации проектирования нерегулярных логических схем из библиотечных КМОП-элементов. Основными критериями оптимизации схем являются площадь схемы и ее энергопотребление. Комплекс содержит развитые средства оценки энергопотребления схем в разных режимах работы и на разных уровнях и интегрирован (рис. 3) с программными пакетами *Questa Sim*, *LeonardoSpectrum* и *AccusimII* (фирма Mentor Graphics). Он позволяет эффективно выполнять логическое моделирование, оптимизацию и синтез синхронных логических схем по описаниям их поведения на различных языках, повторный синтез логических схем на основе программ выделения комбинационной логики и ее глобальной оптимизации, а также получать оценки энергопотребления схем на основе логического и схемотехнического моделирования. В CMOSLD вычисляются оценки числа переключающихся транзисторов в одном такте функционирования схемы и оценки значений потребляемого схемой тока на каждом из тактов ее функционирования.

Программный комплекс «Сшивка кадров» предназначен для автоматизации работы с кадрами видеоизображения топологии СБИС, внедрен в филиале НТЦ «Белмикросистемы» ОАО «ИНТЕГРАЛ» – управляющая компания холдинга «ИНТЕГРАЛ» и позволяет:

- проводить анализ одного или нескольких слоев видеоизображений топологии СБИС, выполненных по субмикронным нормам (рис. 4 и 5);
- значительно повышать размерности задач обработки видеоизображений, обеспечивая обработку нескольких десятков тысяч кадров видеоизображений;
- сокращать сроки анализа топологии СБИС за счет ускорения выполнения компьютерных операций над видеоизображениями;
- уменьшать число корректировок топологии и, следовательно, избегать повторного изготовления шаблонов и кремниевых пластин, сокращать как трудовые затраты, так и расход материалов.

После анализа топологии осуществляется переход к транзисторным SPICE-описаниям схем и выполняется верификация транзисторных описаний. Для этого были разработаны соответствующие теоретические методы и программные средства.

Программа декомпиляции транзисторных описаний КМОП-схем предназначена для сравнения транзисторной схемы, реализованной в СБИС, с эталонной (подлежащей реализации). Исходными данными для программы декомпиляции служит структурное SPICE-описание КМОП-схемы в виде сети транзисторов, полученной по топологическому описанию схемы. Результатом работы программы является описание схемы на уровне логических элементов в одном из следующих форматов: иерархическое SPICE-описание, в которое включены модели всех идентифицированных логических элементов; SF-описание в виде логических уравнений; описание на языке VHDL. На первом этапе формируется библиотека элементов: в транзисторной схеме распознаются подсхемы КМОП-вентилей, передаточных элементов и более сложных подсхем на их основе (мультиплексоры, трехстабильные инверторы), а также псевдоэлементы, связанные по току группы транзисторов с нераспознанной логикой поведения. Результатом этого этапа является двухуровневое SPICE-описание. На втором этапе строится схема, включающая множество связанных логических элементов, определяются ее внешние порты. Результатом этого этапа является иерархическое SPICE-описание. На последнем этапе генерируется описание полученной схемы на языке SF в виде логических уравнений для передачи в систему логического проектирования, где выполняется конвертация в VHDL-описание для связи с другими программными средствами проектирования СБИС. Все шаги программы декомпиляции КМОП-схем из транзисторов выполняются за время, линейно зависящее от числа транзисторов в исходном описании. Программа имеет достаточное быстродействие, чтобы обрабатывать схемы из 100 000 транзисторов за несколько минут работы ПЭВМ.

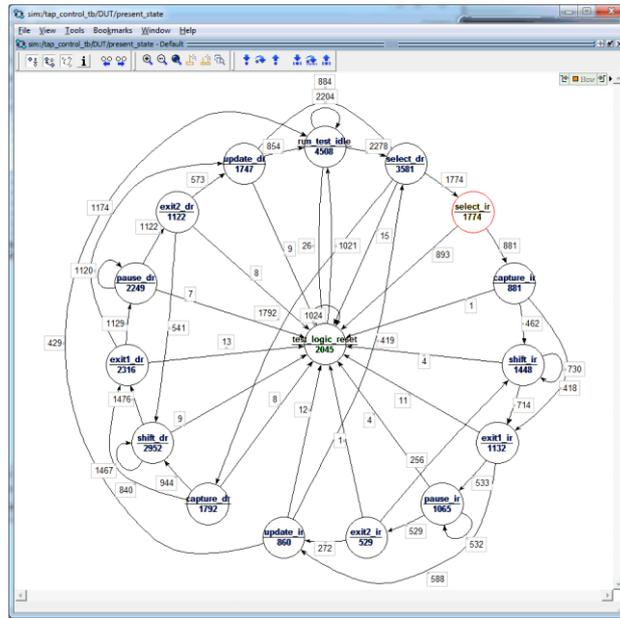


Рис. 1. Результаты моделирования VHDL-описания конечного автомата

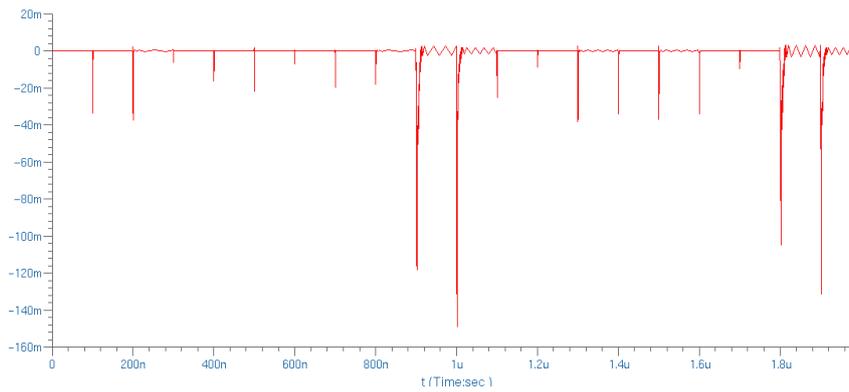


Рис. 2. График потребляемого тока синхронным устройством – операционным автоматом

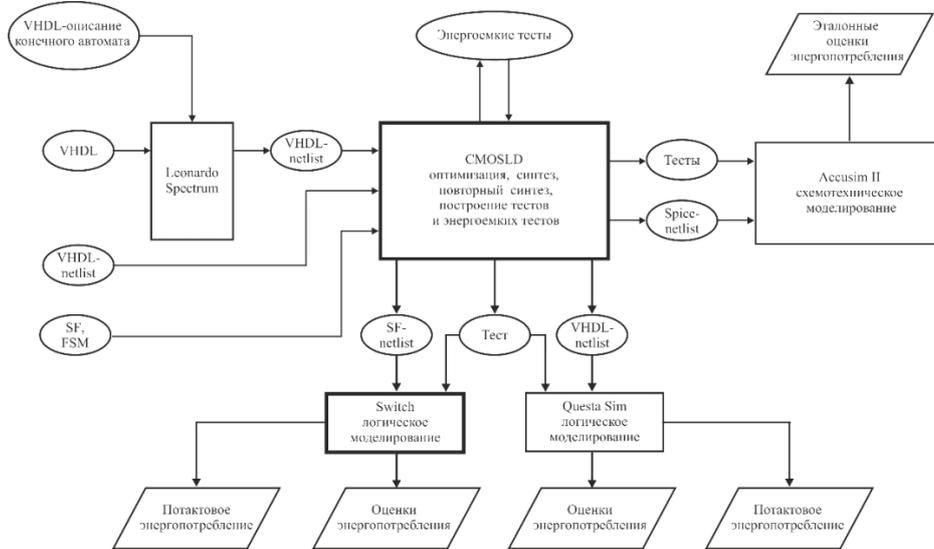


Рис. 3. Интеграция комплекса CMOSLD с системами моделирования и синтеза

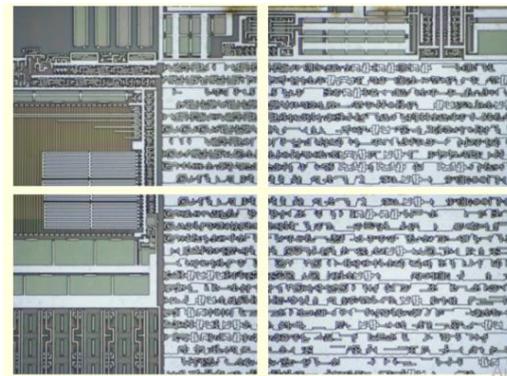
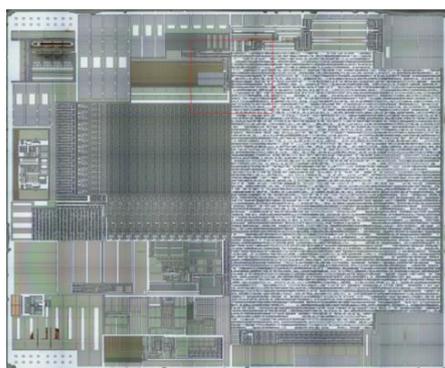
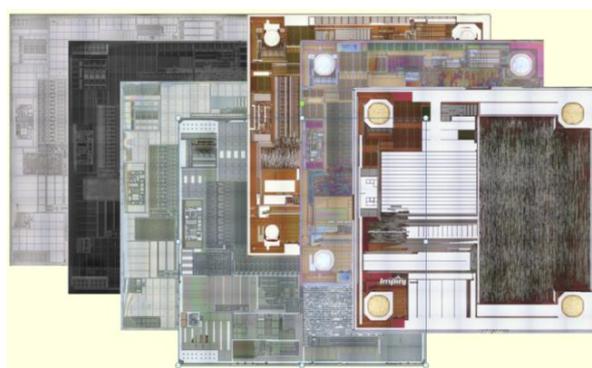


Рис. 4. Совмещение четырех кадров



Совмещение кадров одного слоя



Совмещение кадров по многим слоям

Рис. 5. Проверка топологии СБИС



Рис. 6. Архитектура системы FLC-2

Система FLC-2 логического синтеза устройств на основе продукционно-фреймовой модели представления знаний использует подход к организации систем логического проектирования, позволяющий формально описывать экспертные знания для комбинирования сложными алгоритмическими процедурами на этапе технологически независимой оптимизации, накапливать знания проектировщиков о проблемной области, составлять модели процессов логического проектирования (рис. 6).

Система FLC-2 предназначена для оптимизации иерархически организованных функциональных и структурных описаний логических схем, представленных на языке SF, который является внутренним языком системы. Для связи с другими системами автоматизированного про-

ектирования (САПР) цифровых устройств в FLC-2 имеются средства конвертации SF-описаний в VHDL-описания и обратно. Логическая оптимизация осуществляется на основе применения комбинированных методов, реализующих различные базовые оптимизационные приемы: минимизацию систем булевых функций в классе ДНФ; оптимизацию многоуровневых представлений систем булевых функций на основе булевых сетей и BDD-представлений, поляризации и декомпозиции матричных и скобочных форм, выделения подсистем функций, связанных по областям определения и по формульным представлениям.

В системе FLC-2 реализован продукционный подход для управления последовательностями проектных процедур, предназначенных для их использования на этапе логического проектирования сложных функциональных блоков заказных цифровых СБИС. В FLC-2 реализованы параллельные программы минимизации систем функций в классе ДНФ, проведены эксперименты сравнения имеющихся программ минимизации ДНФ с всемирно известными программами ESPRESSO и ABC, выполнены эксперименты по реализации в заказных СБИС и FPGA (Field-Programmable Gate Array – программируемая пользователем вентильная матрица) функциональных описаний устройств модулярной арифметики. Эксперименты показали целесообразность использования программ системы FLC-2 для предварительной оптимизации проектов цифровых устройств, реализуемых в промышленных САПР заказных цифровых СБИС и FPGA.

Публикации

1. Логическое проектирование : сб. науч. тр. – Минск : Ин-т техн. кибернетики НАН Беларуси, 2001. – Вып. 6. – 215 с.
2. Бибило, П. Н. Логическое проектирование / П. Н. Бибило, Л. Д. Черемисинова // Кибернетика и информатика в Национальной академии наук Беларуси : очерки развития / Объединенный институт проблем информатики Национальной академии наук Беларуси ; науч. ред.: С. В. Абламейко, А. В. Тузиков, О. И. Семенков. – Минск : Тэхналогія, 2015. – С. 125–140.
3. Бибило, П. Н. Моделирование и верификация цифровых систем на языке VHDL / П. Н. Бибило, Н. А. Авдеев. – М. : Ленанд, 2017. – 344 с.
4. Бибило, П. Н. Функциональная верификация VHDL-описаний синхронных цифровых устройств / П. Н. Бибило, Н. А. Авдеев, В. И. Романов. – М. : Ленанд, 2020. – 328 с.
5. Поттосин, Ю. В. Методы дискретной математики в логическом проектировании цифровых устройств / Ю. В. Поттосин. – Минск : Беларуская навука, 2021. – 175 с.
6. Бибило, П. Н. Бинарные диаграммы решений в логическом проектировании / П. Н. Бибило. – М. : Ленанд, 2024. – 560 с.
7. Бибило, П. Н. Задачи по проектированию логических схем с использованием языка VHDL / П. Н. Бибило. – Изд. 3, стер. – М. : Изд-во ЛКИ, 2018. – 328 с.
8. Черемисинова, Л. Д. Дискретная математика : учеб. пособие / Л. Д. Черемисинова. – Минск : БГУИР, 2019. – 299 с.
9. Бибило, П. Н. Основы языка VHDL : учеб. пособие / П. Н. Бибило. – Изд. стер. – М. : Книжный дом «Либроком», 2024. – 328 с.