

# ЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

## LOGICAL DESIGN



УДК 681.32  
<https://doi.org/10.37661/1816-0301-2021-18-4-96-107>

Оригинальная статья  
Original Paper

## Распознавание логических вентилях в плоской транзисторной схеме

Д. И. Черемисинов, Л. Д. Черемисинова<sup>✉</sup>

*Объединенный институт проблем информатики  
Национальной академии наук Беларуси,  
ул. Сурганова, 6, Минск, 220012, Беларусь  
✉E-mail: cld@newman.bas-net.by*

### Аннотация

**Цели.** С ростом трудоемкости верификации и моделирования современных СБИС, содержащих сотни миллионов транзисторов, основными инструментами автоматизированного проектирования и верификации становятся средства извлечения из плоского (неиерархического) описания схем на транзисторном уровне иерархического описания на уровне логических элементов. Средства декомпиляции транзисторных схем не только позволяют существенно снизить время выполнения проверки топологии, но и служат основой для генерации тестовых наборов, логического перепроектирования интегральных схем и обратного инжиниринга для обнаружения несанкционированных вложений.

Целью работы является решение задачи извлечения структуры функционального уровня из плоской схемы транзисторного уровня путем распознавания в ней подсхем, реализующих логические элементы.

**Методы.** Предлагаются графовые методы решения некоторых ключевых задач, возникающих на этапе структурного распознавания КМОП-вентилей в транзисторной схеме: разбиение графа на компоненты связности, соответствующие подсхемам из транзисторов; распознавание подсхем, являющихся логическими элементами, и реализуемых ими функций; формирование библиотеки распознанных вентилях и построение двухуровневого описания транзисторной схемы. Исходная плоская и полученная двухуровневая транзисторные схемы представляются в формате SPICE.

**Результаты.** Предложенные методы реализованы на языке C++ как часть программы декомпиляции транзисторных схем для случая, когда искомая библиотека логических элементов заранее неизвестна. Все шаги предлагаемых процедур структурного распознавания КМОП-вентилей в плоской транзисторной схеме выполняются за линейное время от числа транзисторов исходной схемы.

**Заключение.** Программа декомпиляции была протестирована на практических схемах транзисторного уровня. Показано, что она имеет достаточное быстродействие, чтобы обрабатывать схемы более чем со 100 тыс. транзисторов за несколько минут на персональной ЭВМ. В настоящее время авторами разрабатываются методы распознавания в транзисторной схеме более сложных элементов, таких как элементы памяти.

**Ключевые слова:** экстракция транзисторных подсхем, КМОП-схемы, верификация, перепроектирование СБИС, распознавание логических вентилях, формат SPICE

**Для цитирования.** Черемисинов, Д. И. Распознавание логических вентилях в плоской транзисторной схеме / Д. И. Черемисинов, Л. Д. Черемисинова // Информатика. – 2021. – Т. 18, № 4. – С. 96–107. <https://doi.org/10.37661/1816-0301-2021-18-4-96-107>

**Конфликт интересов.** Авторы заявляют об отсутствии конфликта интересов.

Поступила в редакцию | Received 14.09.2021  
Подписана в печать | Accepted 08.10.2021  
Опубликована | Published 29.12.2021

## Logical gates recognition in a flat transistor circuit

Dmitry I. Cheremisinov, Ljudmila D. Cheremisinova<sup>✉</sup>

*The United Institute of Informatics Problems  
of the National Academy of Sciences of Belarus,  
st. Surganova, 6, Minsk, 220012, Belarus  
<sup>✉</sup>E-mail: cld@newman.bas-net.by*

### Abstract

**Objectives.** With the increasing complexity of verification and simulation of modern VLSI, containing hundreds of millions of transistors, the means of extracting the hierarchical description at the level of logical elements from a flat description of circuits at the transistor level are becoming the main tools for computer-aided design and verification. Decompilation tools for transistor circuits can not only significantly reduce the time to perform VLSI topology check, but also provide the basis for generating test cases, logical reengineering of integrated circuits and reverse engineering to detect untrusted attachments.

The objective of the work is to solve the problem of extracting the structure of the functional level from a flat circuit of the transistor level by recognizing in it subcircuits that implement logical elements.

**Methods.** Graph based methods are proposed for solving some key problems arising at the stage of structural recognition of CMOS gates in a transistor circuit: partitioning a graph into connectivity components corresponding to transistor subcircuits; recognition of subcircuits that are logical elements, and functions implemented by them; forming a library of recognized gates and constructing two-level transistor circuit. The original flat and resulting two-level transistor circuits are presented in SPICE format.

**Results.** The proposed methods are implemented in C++ as a part of a transistor circuit decompilation program for the case without any predetermined cell library. All steps of the proposed methods of structural CMOS gates recognition are performed in a linear time from the number of transistors in the initial circuit.

**Conclusion.** The decompilation program has been tested on practical transistor-level circuits. Experiments indicate that the present tool is fast enough to process circuits with more than a hundred thousand transistors in a few minutes on a personal computer. Currently, the authors are developing methods for recognizing more complex elements in a transistor circuit, such as memory elements.

**Keywords:** transistor subcircuit extraction, CMOS circuits, VLSI layout verification, VLSI reengineering, logical gates recognition, SPICE format

**For citation.** Cheremisinov D. I., Cheremisinova L. D. *Logical gates recognition in a flat transistor circuit*. Informatika [Informatics], 2021, vol. 18, no. 4, pp. 96–107 (In Russ.).  
<https://doi.org/10.37661/1816-0301-2021-18-4-96-107>

**Conflict of interest.** The authors declare of no conflict of interest.

**Введение.** Процесс подготовки производства современной СБИС, содержащей сотни миллионов транзисторов, стоит очень дорого, поэтому перед изготовлением фотошаблонов обязательно выполняется верификация топологии СБИС. Тестирование результатов проектирования становится все более ответственным этапом проектирования, где выявляются ошибки проектирования или устанавливается, что описание проекта на уровне транзисторов, которое будет реализовано «в кремнии», полностью соответствует спецификации проектируемого устройства. Известно, что большая часть (до 70 %) времени проектирования сложной системы тратится именно на проведение верификации проектов. Недостатки верификации могут перечеркнуть все усилия разработчиков, нарушить сроки проектирования и, что наиболее важно, обусловить в результате получение ненадежного устройства. Традиционный метод проверки схем переключательного уровня путем их моделирования является очень дорогим с точки зрения необходимых вычислительных ресурсов, так как симуляторы схем на уровне транзисторов, например SPICE (Simulation Program with Integrated Circuit Emphasis), позволяют анализировать схемы с относительно небольшим числом транзисторов (несколько десятков тысяч), что ограничивает их использование для анализа современных СБИС.

В то же время средства моделирования и верификации схем на логическом уровне позволяют анализировать схемы больших размеров. Важными инструментами автоматизированного проектирования и верификации СБИС служат средства построения иерархического структур-

ного описания на уровне логических элементов по плоскому структурному описанию схем на транзисторном уровне. Операция, в результате которой из плоской (одноуровневой) транзисторной схемы строится иерархическая транзисторная, называется декомпиляцией [1]. Декомпиляция транзисторной схемы является не только мощным инструментом верификации топологии, позволяя существенно снизить время ее выполнения (см. [2], URL: [www.silvaco.com/content/appNotes/iccad/2-003\\_LogicGates.pdf](http://www.silvaco.com/content/appNotes/iccad/2-003_LogicGates.pdf)), но и основой для генерации тестовых наборов [3], логического перепроектирования (reengineering) интегральных схем [4, 5] и обратного инжиниринга СБИС (hardware reverse engineering) для обнаружения несанкционированных вложений [6, 7].

Декомпиляция позволяет выделять блоки, являющиеся сетями логических элементов, которые могут быть описаны на языках высокого уровня. В процессе декомпиляции из плоской транзисторной схемы строится двухуровневая транзисторная схема. Второй уровень такой схемы составляют подсхемы из транзисторов, реализующие логические элементы. После построения логической сети исходя из иерархической транзисторной схемы, появляется возможность распознавания в ней более сложных элементов, если известна библиотека стандартных ячеек.

В настоящей работе рассматриваются задачи, возникающие при декомпиляции транзисторной схемы: распознавание КМОП-вентилей в плоской транзисторной схеме, формирование библиотеки распознанных вентиляей и построение двухуровневой транзисторной схемы. Получаемая двухуровневая схема может содержать не только распознанные КМОП-вентили, но и выделенные при декомпиляции псевдоэлементы (не являющиеся КМОП-вентильями), а также отдельные транзисторы.

**Постановка задачи.** Существуют разные стили реализации логических элементов, например статическая (static) и динамическая (dynamic) логика, домино (domino), передаточная логика (pass transistor logic), каскадная логика переключателя напряжения (CVSL) [8]. Простейшая цифровая схема состоит из одного МОП-транзистора, который осуществляет управляемую передачу двоичного сигнала и является пассивным элементом, не обеспечивающим усиление входного сигнала.

Усиление двоичных сигналов обеспечивает комплементарная МОП-структура (КМОП-вентиль), которая в настоящее время является наиболее распространенным стилем логики. Комплементарные МОП-структуры относятся к широкому классу логических схем, называемых статическими схемами, в которых в каждый момент времени каждый выход элемента соединяется либо с шиной питания  $V_{dd}$ , либо с шиной земли  $Gnd$  через тракт с малым сопротивлением. Статические логические вентиля представляют собой группу транзисторов, соединенных по постоянному току, т. е. транзисторов, соединенных через исток и сток с шинами питания и земли (рис. 1). Выходы таких элементов в любой момент времени описываются булевыми функциями, реализуемыми их схемой (игнорируя переходные эффекты во время подключения).

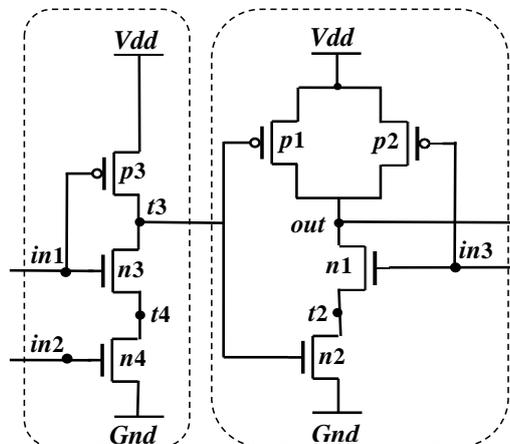


Рис. 1. Транзисторная схема: выделение групп транзисторов, связанных по току

Fig. 1. Transistor circuit: finding groups of channel connected transistors

Статическая КМОП-схема включает две подсхемы, состоящие из  $p$ -МОП- и  $n$ -МОП-транзисторов соответственно. Первый блок размещен между выходным полюсом (цепь *out* на рис. 1) и шиной земли, второй – между шиной питания и выходом. Блоки обеспечивают связь выходного полюса схемы либо с источником питания  $V_{dd}$ , либо с землей  $Gnd$ , что достигается комплементарностью  $p$ -МОП- и  $n$ -МОП-подсхем. Комплементарность отличает статические КМОП-схемы от динамических КМОП-схем, в которых используется эффект временного запоминания значений сигнала в емкости узлов схемы с высоким импедансом.

Предложенный метод распознавания подсхем [1] извлекает структуру функционального уровня из схемы транзисторного уровня, собирая транзисторы в подсхемы, когда библиотека логических элементов неизвестна. Сначала выполняется предварительная обработка схемы, в ходе которой ищутся некоторые стандартные фрагменты транзисторной схемы. Например, осуществляется поиск групп идентичных МОП-транзисторов (с одинаковыми сигналами, подаваемыми на их затворы), соединенных последовательно или параллельно, и идентификация передаточных элементов. Затем используется структурный подход: распознаются группы транзисторов, связанных по постоянному току, и среди них выделяются те, которые представляют собой КМОП-вентили. И, наконец, на множестве оставшихся транзисторов ищутся и выделяются в качестве псевдоэлементов часто встречающиеся транзисторные подсхемы, при этом схема разбивается на минимальное количество классов функционально идентичных псевдоэлементов.

В настоящей статье рассматриваются задачи и графовые методы их решения, возникающие на этапе структурного распознавания КМОП-вентилей в транзисторной схеме.

**Задание транзисторных схем.** Исходная плоская и полученная двухуровневая транзисторные схемы представляются в формате SPICE. В этом формате электрические элементы схемы состоят из элементов, соединенных друг с другом цепями. Главной частью описания схемы в формате SPICE является список транзисторов, в котором для каждого вывода транзистора (сток, затвор, исток, подложка) указано имя цепи, соединяющей его с остальными частями схемы. Общая форма описания связей униполярного транзистора в формате SPICE имеет вид

$$\langle \text{name} \rangle \langle \text{nd} \rangle \langle \text{ng} \rangle \langle \text{ns} \rangle \langle \text{nb} \rangle \langle \text{model-name} \rangle,$$

где *name* – название транзистора; *nd*, *ng*, *ns* и *nb* – идентификаторы цепей, связанных с выводами стока (*drain*), затвора (*gate*), истока (*source*) и подложки (*substrate*) соответственно; *model-name* – тип транзистора:  $n$ -МОП или  $p$ -МОП (*nmos* или *pmos*).

Например, транзисторная схема в формате SPICE (см. рис. 1) представлена на листинге 1. Здесь первая и последняя строки – это начальная и конечная строки описания. Остальные четыре строки начинаются с названий двух  $p$ -МОП- и двух  $n$ -МОП-транзисторов. В каждой строке после названия транзистора представлены метки цепей, связанные с выводами стока, затвора, истока и подложки.

#### Листинг 1. SPICE-описание схемы из транзисторов

```
.GLOBAL Gnd Vdd
.SUBCKT GG0 in1 in2 in3 out
Mn1 out in3 t2 Gnd nmos
Mn2 t2 t3 Gnd Gnd nmos
Mn3 t3 in1 t4 Gnd nmos
Mn4 t4 in2 Gnd Gnd nmos
Mp1 out t3 Vdd Vdd pmos
Mp2 out in3 Vdd Vdd pmos
Mp3 t3 in1 Vdd Vdd pmos
.ENDS

Circuit GG0 contains 7 device instances.
  Class: pmos           instances: 3
  Class: nmos           instances: 4
Circuit contains 9 nets.
```

Цепи  $in1$ ,  $in2$  и  $in3$  задают входы,  $out$  – выход,  $t2$ ,  $t3$  и  $t4$  – внутренние цепи транзисторной схемы,  $Vdd$  и  $Gnd$  – цепи вывода питания и земли. Например, описание экземпляра транзистора ( $Mr1\ out\ t3\ Vdd\ Vdd\ pmos$ ) является сокращенным обозначением пар связей ( $Mr1.d, out$ ), ( $Mr1.g, t3$ ), ( $Mr1.s, Vdd$ ), ( $Mr1.b, Vdd$ ), в котором имя  $Mr1$   $p$ -МОП-транзистора вынесено, а имена его выводов опущены, но цепи перечислены в заранее определенной последовательности.

Естественной формальной моделью транзисторной схемы является гиперграф, в котором вершины соответствуют устройствам, а ребра – их соединениям. Однако для целей декомпиляции транзисторных схем более удобной и компактной моделью является неориентированный двудольный граф  $G = (V_1, V_2, E)$ ,  $V_1 \cap V_2 = \emptyset$ . Этот граф задает структуру транзисторной схемы. В нем вершины разделены на два непересекающихся подмножества  $V_1$  и  $V_2$ . Каждое ребро  $e \in E$  графа имеет один конец в  $V_1$ , а другой в  $V_2$ . Одну долю графа (подмножество  $V_1$ ) составляют вершины, соответствующие выводам транзисторов и портам схемы (входам и выходам электрической схемы), а другую (подмножество  $V_2$ ) – вершины, соответствующие цепям, т. е. связям между выводами транзисторов. Число вершин в графе  $G$  зависит от числа транзисторов (каждый вывод транзистора соответствует вершине из  $V_1$ ) и числа цепей (каждая цепь соответствует вершине из  $V_2$ ) в списке соединений. Примерами цепей являются цепи питания и земли, которые связаны с большим числом элементов схемы.

На рис. 2 изображен граф  $G = (V_1, V_2, E)$ , задающий приведенную выше транзисторную схему. Здесь  $V_1 = \{p1.d, p1.g, p1.s, p2.d, p2.g, p2.s, p3.d, p3.g, p3.s, n1.d, n1.g, n1.s, n2.d, n2.g, n2.s, n3.d, n3.g, n3.s, n4.d, n4.g, n4.s\}$ ,  $V_2 = \{Vdd, Gnd, in1, in2, in3, out, t2, t3, t4\}$ .

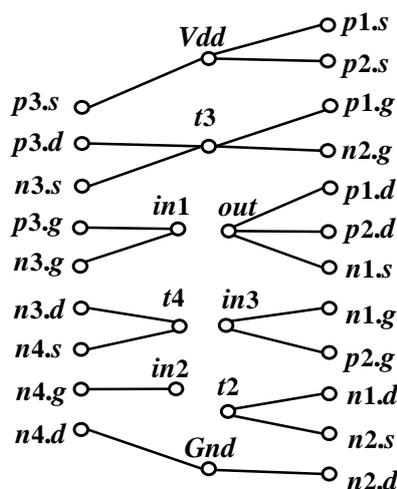


Рис. 2. Граф  $G = (V_1, V_2, E)$ , задающий структуру транзисторной схемы  
Fig. 2. Graph  $G = (V_1, V_2, E)$  defining the structure of the transistor circuit

Для современных СБИС число вершин в графе может достигать десятков миллиардов. Доля  $V_1$  выводов транзисторов двудольного графа состоит из вершин степени 1. В доле  $V_2$  цепей каждой цепи соответствует компонента связности двудольного графа и степени вершин в основном невелики. Таким образом, помеченный граф, моделирующий транзисторную схему, является разреженным. Кроме того, этот граф связный (любая пара вершин в графе связана цепью).

**Распознавание групп транзисторов, связанных по постоянному току.** Для построения иерархического структурного описания транзисторной схемы необходимо выделить в ней наборы взаимосвязанных транзисторов в качестве отдельных компонентов, реализующих логические элементы, т. е. выделить подсхемы в исходной схеме.

Статическая МОП-схема имеет четко определенную структуру, и подсхема, реализующая логический элемент, представляет собой группу транзисторов, связанных по току (channel-connected component) [9]). Такая подсхема состоит из транзисторов, соединенных выводами истока и стока. Она обеспечивает путь прохождения сигнала между шинами питания  $Vdd$  и земли  $Gnd$ .

Группой транзисторов, соединенных по постоянному току, является произвольная схема из МОП-транзисторов с тремя типами внешних соединений:

- входы группы подаются только на затворы транзисторов группы;
- выходы группы подаются только на затворы транзисторов других групп;
- имеются связи транзисторов группы с шинами питания  $Vdd$  и земли  $Gnd$ .

Из приведенного определения группы транзисторов, связанных по току, следует, что соответствующий ей граф является связным двудольным подграфом  $G_i = (V_{i1}, V_{i2}, E_i)$  неориентированного двудольного графа  $G = (V_1, V_2, E)$  транзисторной схемы, а множества ребер  $E_i$  и  $E_j$  ( $i \neq j$ ) любой пары подграфов не должны пересекаться.

Множество групп транзисторов, связанных по току, представляет собой разбиение множества транзисторов схемы (см. рис. 1).

Таким образом, в графовой интерпретации задача поиска групп транзисторов, связанных по току, состоит в разбиении неориентированного двудольного графа  $G = (V_1, V_2, E)$  на связные реберно-непересекающиеся подграфы. Эта задача сводится к нахождению компонент связности графа  $H = (V_1^H, V_2^H, E^H)$  связей транзисторов по току (рис. 3), который получается из графа  $G = (V_1, V_2, E)$  путем:

- удаления вершин, соответствующих выводам затворов транзисторов (и соответствующих цепей);
- удаления вершин, соответствующих цепям питания ( $Vdd$  и  $Gnd$ );
- соединения вершин  $G = (V_1, V_2, E)$ , соответствующих выводам стока и истока для каждого транзистора, ребром соответствующей цепи, связанной с выводом затвора данного транзистора.

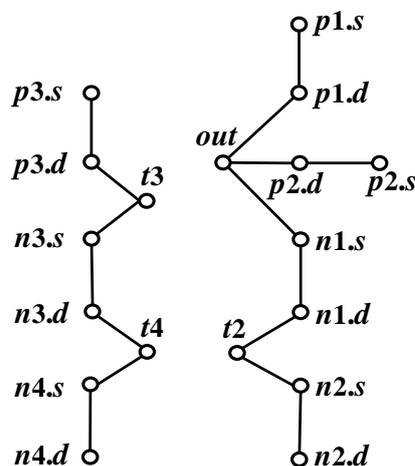


Рис. 3. Граф  $H = H = (V_1^H, V_2^H, E^H)$  связей транзисторов по току

Fig. 3. Graph  $H = H = (V_1^H, V_2^H, E^H)$  transistor current connections

Группа транзисторов, соединенных по постоянному току, соответствует компоненте связности графа  $H = (V_1^H, V_2^H, E^H)$  связей транзисторов по току. Алгоритм поиска компонент связности в графе  $H$  построен на основе алгоритма «поиск сначала в глубину» (depth-first search, DFS).

В результате работы алгоритма получаются две компоненты связности, порождающие следующие подграфы графа  $G = (V_1, V_2, E)$ :

$$G_1 = (V_1^1, V_2^1, E^1),$$

где  $V_1^1 = \{p3.d, p3.g, p3.s, n3.g, n3.s, n4.d, n4.g, n4.s\}$ ;  $V_2^1 = \{Vdd, in1, in2, t3, t4\}$ ;  $E^1 = \{(p3.d, t3), (p3.g, in1), (p3.s, Vdd), (n3.d, t4), (n3.g, in1), (n3.s, t3), (n4.d, Gnd), (n4.g, in2), (n4.s, t4)\}$ ;

$$G_2 = (V_1^2, V_2^2, E^2),$$

где  $V_1^2 = \{p1.d, p1.g, p1.s, p2.d, p2.g, p2.s, n1.d, n1.g, n1.s, n2.d, n2.g, n2.s\}$ ;  $V_2 = \{Vdd, Gnd, in3, out, t2, t3\}$ ;  $E^2 = \{(p1.d, out), (p1.g, t3), (p1.s, Vdd), (p2.d, out), (p2.g, in3), (p2.s, Vdd), (n1.d, t2), (n1.g, in3), (n1.s, out), (n2.d, Gnd), (n2.g, t3), (n2.s, t2)\}$ .

Две группы связанных по току транзисторов, соответствующие найденным подграфам, показаны на рис. 1.

**Распознавание подсхем, реализующих КМОП-вентили.** Статический КМОП-вентиль содержит  $n$ - и  $p$ -подсхемы, состоящие соответственно из  $n$ -МОП- и  $p$ -МОП-транзисторов. Эти подсхемы включены последовательно между цепями питания и разделены выходной цепью. Потенциал выхода элемента к цепи земли «подтягивает»  $n$ -МОП-блок (pull-down network), потенциал выхода элемента к цепи питания –  $p$ -МОП-блок (pull-up network). На рис. 4 приведен пример КМОП-вентили и показаны его  $n$ -МОП- и  $p$ -МОП-блоки.

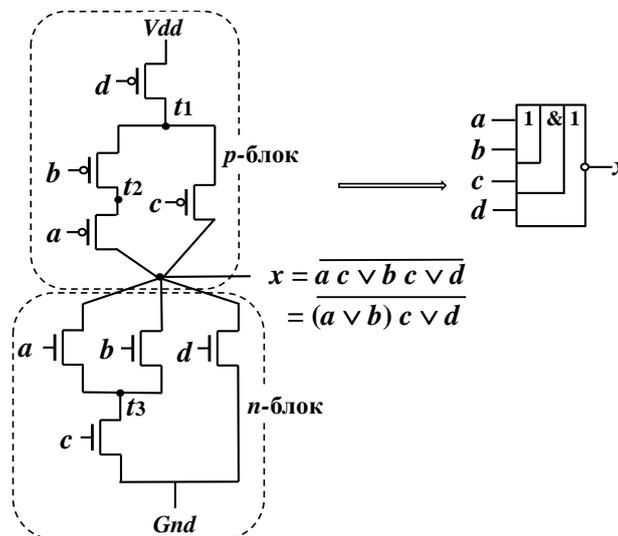


Рис. 4. Пример КМОП-вентили: транзисторная схема и ее обозначение

Fig. 4. CMOS gate example: transistor circuit and its designation

Проводимости блоков КМОП-вентили комплементарны, поэтому на каждом такте работы схемы обеспечивается связь выходного полюса схемы либо с источником питания, либо с землей. КМОП-вентиль реализует на своем выходе отрицание функции проводимости транзисторов  $n$ -МОП-блока или функцию проводимости  $p$ -МОП-блока при инвертировании входных переменных.

Схема КМОП-вентили представляет собой группу транзисторов, связанных по току, обратное не всегда верно. Группа транзисторов, связанных по току, реализует КМОП-вентиль, если удовлетворяет следующим условиям:

- 1) транзисторы  $p$ -блока расположены между цепью  $Vdd$  и цепью выхода группы, а транзисторы  $n$ -блока – между цепями выхода и  $Gnd$ ;
- 2) все пути из цепи выхода доходят до цепей питания ( $Gnd$  или  $Vdd$ ), и наоборот;
- 3)  $p$ - и  $n$ -блоки группы имеют одинаковое количество транзисторов;
- 4)  $p$ - и  $n$ -блоки группы реализуют взаимно инверсные функции.

Например, левая из двух обозначенных на рис. 1 групп транзисторов, связанных по току, удовлетворяет первым трем условиям, а правая – нет. Эти же условия выполняются и для схемы на рис. 4. Остается проверить выполнение условия 4.

Логическая функция, реализуемая КМОП-вентилем, определяется отрицанием функции проводимости транзисторов  $n$ -МОП-блока (или функцией проводимости  $p$ -МОП-блока при инвертировании входных переменных). Проводимость отдельного транзистора управляется его входной переменной, которая определяется цепью, связанной с затвором этого транзистора. Проводимость  $n$ -МОП-блока ( $p$ -МОП-блока) определяется проводимостью путей от цепи выхода вентиля до цепи  $Gnd$  ( $Vdd$ ). Проводимость каждого пути  $n$ -МОП-блока задается конъюнкцией входных переменных, управляющих проводимостью транзисторов, входящих в этот путь, а проводимость  $p$ -МОП-блока – конъюнкцией отрицаний входных переменных, управляющих проводимостью транзисторов. Проводимость блока ( $f_n$  или  $f_p$ ) представляется в виде дизъюнктивной нормальной формы (ДНФ), порождаемой проводимостями всех путей блока. Если функции проводимости  $f_n$  и  $f_p$   $n$ -МОП- и  $p$ -МОП-блоков взаимно инверсны ( $f_n = \overline{f_p}$ ), то анализируемая группа транзисторов, связанных по току, представляет собой КМОП-вентиль, а сам КМОП-вентиль реализует функцию  $\overline{f_n}$ .

В графовой постановке эта задача сводится к поиску цепей, связывающих вершины, на графе  $I = (V_1^I, V_2^I, E^I)$  проводимости транзисторной схемы – графе с помеченными ребрами. Этот граф получается из графа  $G = (V_1, V_2, E)$ , задающего структуру транзисторной схемы, путем:

- удаления вершин, соответствующих выводам затворов транзисторов (и соответствующих цепей);

- соединения вершин графа  $G = (V_1, V_2, E)$ , соответствующих выводам стока и истока для каждого транзистора, ребром, которое помечается вершиной графа  $G$ , соответствующей цепи, связанной с выводом затвора данного транзистора.

На рис. 5 приведены графы  $I_1 = (V_{11}^I, V_{21}^I, E^I_1)$  и  $I_2 = (V_{12}^I, V_{22}^I, E^I_2)$  проводимости для правой группы транзисторов схемы на рис. 1 и схемы на рис. 4.

Единственная цепь ( $out, in_3, t_2, t_3, Gnd$ ), связывающая вершины  $out$  и  $Gnd$  графа  $I_1 = (V_{11}^I, V_{21}^I, E^I_1)$ , порождает реализуемую  $n$ -блоком функцию проводимости  $f_n = in_3 t_3$ . Цепи ( $out, t_3, Vdd$ ) и ( $out, in_3, Vdd$ ), связывающие вершины  $out$  и  $Vdd$  графа, порождают реализуемую  $p$ -блоком функцию проводимости  $f_p = \overline{t_3} \vee \overline{in_3}$ . Поскольку  $f_n = \overline{f_p}$ , правая подсхема на рис. 1, являющаяся группой связанных по току транзисторов, представляет собой стандартный КМОП-вентиль 2И-НЕ, реализующий функцию  $\overline{f_n} = \overline{in_3 \wedge t_3}$ .

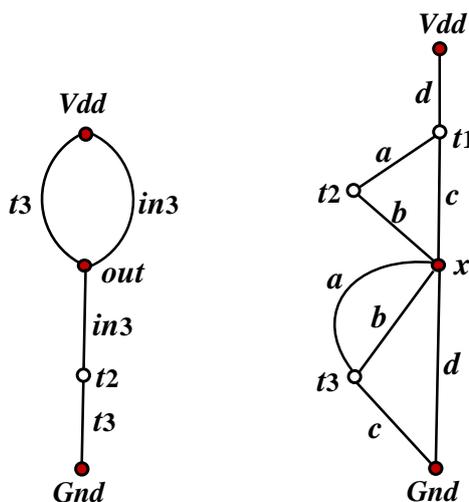


Рис. 5. Графы  $I_1 = (V_{11}^I, V_{21}^I, E^I_1)$  и  $I_2 = (V_{12}^I, V_{22}^I, E^I_2)$  проводимости транзисторных схем  
 Fig. 5. Graph  $I_1 = (V_{11}^I, V_{21}^I, E^I_1)$  and  $I_2 = (V_{12}^I, V_{22}^I, E^I_2)$  of transistor circuit conductivity

Цепи  $(x, a, t_3, c, Gnd)$ ,  $(x, b, t_3, c, Gnd)$ ,  $(x, d, Gnd)$ , связывающие вершины  $x$  и  $Gnd$  графа  $I_2 = (V_{12}^I, V_{22}^I, E_2^I)$ , порождают реализуемую  $n$ -блоком схемы (см. рис. 4) функцию проводимости  $f_n = a c \vee b c \vee d$ . Цепи  $(x, b, t_2, a, t_1, d, Vdd)$ ,  $(x, c, t_1, d, Vdd)$ , связывающие вершины  $x$  и  $Vdd$  графа, порождают реализуемую  $p$ -блоком функцию проводимости  $f_p = a \bar{b} \bar{d} \vee c \bar{d}$ . Равенство  $f_n = f_p$  означает, что рассматриваемая транзисторная схема представляет собой стандартный КМОП-вентиль, реализующий функцию  $f = \overline{f_n} = \overline{ac \vee bc \vee d}$ .

**Классификация КМОП-вентилей.** Множество КМОП-вентилей может быть разбито на классы, объединяющие функционально идентичные вентиля, которые реализуют одну и ту же логическую функцию.

Для классификации КМОП-вентилей, распознанных в процессе декомпиляции транзисторной схемы, ДНФ реализуемых ими функций представляется в виде алгебраических скобочных выражений. Такая форма строится путем алгебраической факторизации ДНФ, выполняемой путем вынесения за скобки общих литералов [10]. Приведем алгебраическое представление функции  $f = \overline{ac \vee bc \vee d}$  рассматриваемого КМОП-вентиля (см. рис. 4) после факторизации:

$$f = \overline{ac \vee bc \vee d} = \overline{(a \vee b)c \vee d}.$$

Следовательно, распознанный КМОП-вентиль реализует функцию 2ИЛИ-2И-2ИЛИ-НЕ.

Все распознанные в процессе декомпиляции плоской транзисторной схемы КМОП-вентиля, которые реализуют функции, описываемые одной и той же скобочной формой, являются функционально эквивалентными. Каждый класс таких функционально эквивалентных вентилей порождает один библиотечный элемент, а соответствующие подсхемы в иерархическом SPICE-описании заменяются ссылками на этот элемент.

Формирование библиотеки вентилей происходит во время работы программы декомпиляции. Исходными данными для программы декомпиляции служат плоский нетлист КМОП-схемы в формате SPICE, имя головной схемы и имена цепей питания. Результатом является двухуровневая транзисторная схема, представляемая иерархическим SPICE-описанием, в которое включены модели всех идентифицированных КМОП-вентилей. Эти модели и составляют извлеченную библиотеку вентилей.

В приведенной выше транзисторной схеме GG0 (см. рис. 1 и листинг 1) в качестве КМОП-вентиля распознается только одна подсхема, реализующая вентиль 2И-НЕ (правая группа транзисторов, связанных по току, на рис. 1). Для нее в результирующую двухуровневую схему GG0 (листинг 2) вводится библиотечный элемент G0, внешние полюсы которого условно именуется А и В (входы), Y (выход). Не распознанная как КМОП-вентиль группа транзисторов, связанных по току, выделяется как псевдоэлемент P0\_0, внешние полюсы которого именуется P0, P1, P2.

### Листинг 2. SPICE-описание двухуровневой транзисторной схемы

```

Contents of circuit cldG0.sp:  Circuit: 'GG0'
Circuit GG0 contains 7 device instances.
  Class: pmos                instances:   3
  Class: nmos                instances:   4
Circuit contains 9 nets.

Connected Componens = 2
Invalid comps
Valid Componens = 1
Pass fets = 0
Psevdo Componens = 1 nets =4
Unclassified fets = 0 nets = 0

(A AND B)          1
Psevdo
(3) (4)            1

```

```

Defining cell: GG0_gen
  Defining global node: Gnd
  Defining global node: Vdd
Start of Computation: 15h07m55s 27/08/2021
End of Computation: 15h07m55s 27/08/2021
Computation Time (s): 0.0050

.SUBCKT G0 A B Y
* (A AND B)
M1 Y A 2 Gnd nmos
M2 2 B Gnd Gnd nmos
M3 Y B Vdd Vdd pmos
M4 Y A Vdd Vdd pmos
.ENDS

.SUBCKT P0_0 P0 P1 P2
* (3) (4)
M1 P0 P1 2 Gnd nmos
M2 2 P2 Gnd Gnd nmos
M3 P0 P1 Vdd Vdd pmos
.ENDS

.SUBCKT GG0_gen in1 in2 in3 out
XM0I1 in3 t3 out G0 Fets=nmosn1+nmosn2+pmosp1+pmosp2
XMP0I1 t3 in1 in2 P0_0 Fets=nmosn3+nmosn4+pmosp3
.ENDS

```

Некоторые результаты применения предложенного структурного метода распознавания КМОП-вентилей в плоской транзисторной схеме показаны в таблице для нескольких практических примеров. В таблице приведено число *n*-МОП- и *p*-МОП-транзисторов (второй столбец), число выделенных передаточных элементов в схеме (третий столбец), число найденных групп транзисторов, связанных по току (четвертый столбец), число распознанных КМОП-вентилей (пятый столбец) и число групп функционально эквивалентных КМОП-вентилей (шестой столбец). Последний столбец таблицы показывает, что некоторые схемы содержат транзисторы и другие примитивы, не объединяемые в группы элементов, связанных по току.

Данные экспериментальных исследований  
*Experimental Research Data*

Схема <i>Scheme</i>	<i>n</i> -МОП-, <i>p</i> -МОП- транзисторы <i>n</i> -MOS-, <i>p</i> -MOS- transistors	Передаточные элементы <i>Transmission elements</i>	Группы транзисторов <i>Groups of transistors</i>	КМОП- вентили <i>CMOS valves</i>	Классы КМОП- вентилей <i>Classes of CMOS valves</i>	Непокрытая часть <i>Uncovered part</i>
DV	22 988, 16 436	766	7093	5915	39	283
sinxr	87, 87	0	40	40	7	0
IZ	3016, 2381	89	1325	1041	15	83
T9	1682, 1269	0	682	528	16	110
flat	5776, 5827	25	3007	2392	7	409
control	9415, 9415	1374	6639	6639	16	0
delta	5962, 5947	661	2896	2777	17	17

**Заключение.** Предложенные графовые методы структурного распознавания КМОП-вентилей реализованы на языке C++ как часть программы декомпиляции плоской транзисторной схемы. Программа была протестирована на практических схемах транзисторного уровня и имеет достаточное быстродействие, чтобы обрабатывать схемы более чем со 100 тыс. транзисторов за несколько минут на персональной ЭВМ.

В программе используется внутреннее представление транзисторной схемы, оптимальное с точки зрения требуемого объема памяти и скорости обработки. Оно состоит из графовой модели SPICE-описания схемы и иерархической хеш-таблицы для хранения синтаксических элементов этой схемы. Сложность такого представления оценивается как  $O(n)$ , где  $n$  – количество элементов схемы. Все шаги предлагаемых графовых методов структурного распознавания КМОП-вентилей в плоской транзисторной схеме выполняются за линейное время от числа транзисторов исходной схемы.

**Вклад авторов.** Л. Д. Черемисинова приняла участие в разработке метода решения задачи распознавания логических вентилях и подготовила текст статьи. Д. И. Черемисинов разработал и программно реализовал метод решения задачи распознавания логических вентилях в плоской транзисторной схеме, провел экспериментальные исследования.

### Список использованных источников

1. Cheremisinov, D. I. Extracting a logic gate network from a transistor-level CMOS circuit / D. I. Cheremisinov, L. D. Cheremisinova // *Russian Microelectronics*. – 2019. – Vol. 48, no. 3. – P. 187–196. <https://doi.org/10.1134/S0544126919030037>
2. Abadir, M. S. An improved layout verification algorithm (LAVA) / M. S. Abadir, J. Ferguson // *Proc. of the European Design Automation Conf., Glasgow, UK, 12–15 March 1990*. – Glasgow, 1990. – P. 391–395.
3. Kundu, S. GateMaker: A transistor to gate level model extractor for simulation, automatic test pattern generation and verification / S. Kundu // *Proc. of the Intern. Test Conf., Washington, DC, USA, 18–23 Oct. 1998*. – Washington, 1998. – P. 372–381.
4. Hunt, V. D. Reengineering: Leveraging the Power of Integrated Product Development / V. D. Hunt. – Wiley, 1993. – 283 p.
5. Framework for simulation of the Verilog/SPICE mixed model: Interoperation of Verilog and SPICE simulators using HLA/RTI for model reusability / M. G. Seok [et al.] // *22nd Intern. Conf. on Very Large Scale Integration (VLSI-SoC), Playa del Garmen, Mexico, 6–8 Oct. 2014*. – Playa del Garmen, 2014. – P. 1–6.
6. Белоус, А. И. Основы кибербезопасности. Стандарты, концепции, методы и средства обеспечения / А. И. Белоус, В. А. Солoduха. – М. : Техносфера, 2021. – 482 с.
7. Zhang, T. A comprehensive FPGA reverse engineering tool-chain: From bitstream to RTL code / T. Zhang, L. Wang // *IEEE Access*. – 2019. – Vol. 7. – P. 38379–38389. <https://doi.org/10.1109/ACCESS.2019.2901949>
8. Rabaev, J. M. Digital Integrated Circuits / J. M. Rabaev, A. Chandrakasan, B. Nikolic. – Prentice Hall Press, 2008. – 702 p.
9. Bushnell, M. Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI / M. Bushnell, V. Agrawal. – Springer Science & Business Media, 2006. – 690 p.
10. Черемисинова, Л. Д. Синтез и оптимизация комбинационных структур СБИС / Л. Д. Черемисинова. – Минск : ОИПИ НАН Беларуси, 2005. – 235 с.

---

### References

1. Cheremisinov D. I., Cheremisinova L. D. Extracting a logic gate network from a transistor-level CMOS circuit. *Russian Microelectronics*, 2019, vol. 48, no. 3, pp. 187–196. <https://doi.org/10.1134/S0544126919030037>
2. Abadir M. S., Ferguson J. An improved layout verification algorithm (LAVA). *Proceedings of the European Design Automation Conference (EURO-DAC'90), Glasgow, UK, 12–15 March 1990*. Glasgow, 1990, pp. 391–395.
3. Kundu S. GateMaker: A transistor to gate level model extractor for simulation, automatic test pattern generation and verification. *Proceedings of the International Test Conference, Washington, DC, USA, 18–23 October 1998*. Washington, 1998, pp. 372–381.
4. Hunt V. D. *Reengineering: Leveraging the Power of Integrated Product Development*. Wiley, 1993, 283 p.
5. Seok M. G., Park D. J., Cho G. R., Kim T. G. Framework for simulation of the Verilog/SPICE mixed model: Interoperation of Verilog and SPICE simulators using HLA/RTI for model reusability. *22nd International Conference on Very Large Scale Integration (VLSI-SoC), Playa del Garmen, Mexico, 6–8 October 2014*. Playa del Garmen, 2014, pp. 1–6.

6. Belous A. I., Solodukha V. A. Osnovy kiberbezopasnosti. Standarty, kontseptsii, metody i sredstva obespecheniya. *Fundamentals of Cybersecurity. Standards, Concepts, Methods and Means of Support*. Moscow, Tekhnosfera, 2021, 482 p. (In Russ.).
7. Zhang T., Wang L. A comprehensive FPGA reverse engineering tool-chain: From bitstream to RTL code. *IEEE Access*, 2019, vol. 7, pp. 38379–38389. <https://doi.org/10.1109/ACCESS.2019.2901949>
8. Rabaev J. M., Chandrakasan A., Nikolic B. *Digital Integrated Circuits*. Prentice Hall Press, 2008, 702 p.
9. Bushnell M., Agrawal V. *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI*. Springer Science & Business Media, 2006, 690 p.
10. Cheremisinova L. D. Sintez i optimizatsiya kombinatsionnykh struktur SBIS. *Synthesis and Optimization of Combinational Structures of VLSI*. Minsk, Ob"edinennyj institut problem informatiki Nacional'noj akademii nauk Belarusi, 2005, 235 p. (In Russ.).

### Информация об авторах

*Черемисинов Дмитрий Иванович*, кандидат технических наук, доцент, ведущий научный сотрудник, Объединенный институт проблем информатики Национальной академии наук Беларуси.

E-mail: cher@newman.bas-net.by

*Черемисинова Людмила Дмитриевна*, доктор технических наук, профессор, главный научный сотрудник, Объединенный институт проблем информатики Национальной академии наук Беларуси.

E-mail: cld@newman.bas-net.by

### Information about the authors

*Dmitry I. Cheremisinov*, Cand. Sci. (Eng.), Associate Professor, Leading Researcher, The United Institute of Informatics Problems of the National Academy of Sciences of Belarus.

E-mail: cher@newman.bas-net.by

*Ljudmila D. Cheremisinova*, Dr. Sci. (Eng.), Professor, Chief Researcher, The United Institute of Informatics Problems of the National Academy of Sciences of Belarus.

E-mail: cld@newman.bas-net.by